

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**



# JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11)Publication number: 09083339

(43)Date of publication of application: 28.03.1997

(51)Int.Cl.

H03K 19/0175  
H03K 17/16  
H03K 17/687  
H03K 19/0948

(21)Application number: 07337065

(22)Date of filing: 25.12.1995

(71)Applicant:

(72)Inventor:

mitsubishi electric corp

TANIGUCHI HIDEKI  
ASAHI KATSUSHI

(30)Priority

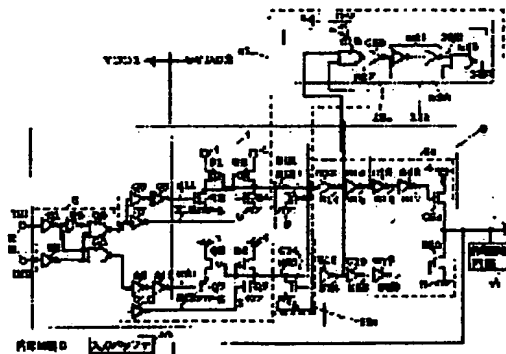
Priority number: 07176084 Priority date: 12.07.1995 Priority country: JP

(54) OUTPUT BUFFER CIRCUIT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an output buffer circuit which can automatically get rid of a state, if occurred, where a potential corresponding to such logic that causes the flow of a through current is given.

**SOLUTION:** If the logic has H levels at nodes N15 and N24, a through current detection part 12a applies 'H', i.e., the AND of such logic to a condition adding part 12b as an activated through current detection signal. The part 12b confirms that the activation time of the through current detection signal is longer than a prescribed time via a delay circuit G21 and an AND gate G22. Then the logic 'H' is given to a compulsive logic adding part 12c. The part 12c turns on the NMOS transistors Q13 and Q14 and compulsively gives the logic 'L' to both nodes N15 and N24.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-83339

(43) 公開日 平成9年(1997) 3月28日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/0175			H 0 3 K 19/00	1 0 1 F
17/16		9184-5K	17/16	L
17/687		9184-5K	17/687	F
19/0948			19/094	B

審査請求 未請求 請求項の数5 O L (全 33 頁)

(21) 出願番号 特願平7-337065

(22) 出願日 平成7年(1995)12月25日

(31) 優先権主張番号 特願平7-176084

(32) 優先日 平7(1995)7月12日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 谷口 秀樹

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 朝比奈 克志

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

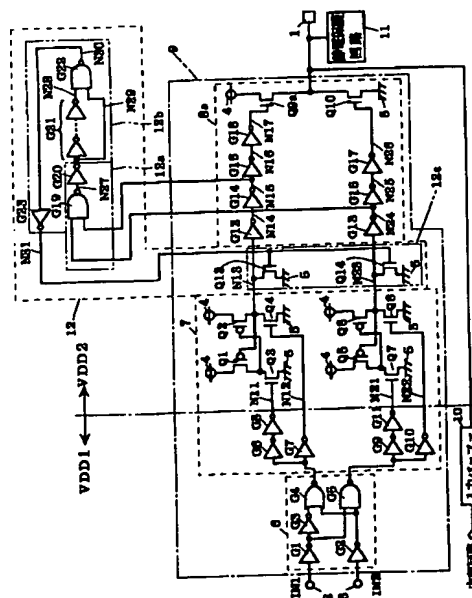
(74) 代理人 弁理士 吉田 茂明 (外2名)

(54) 【発明の名称】 出力バッファ回路

(57) 【要約】

【課題】 貫通電流が流れるような論理に対応した電位が与えられた状態が生じた場合、自動的にその状態を脱する出力バッファ回路を得る。

【解決手段】 貫通検出部12aは、接続点N15、N24における論理がいずれも“H”レベルであった場合、それらの論理積である“H”を、活性化された貫通検出信号として条件追加部12bに与える。条件追加部12bにおいては遅延回路G21及びNANDゲートG22によって、貫通検出信号の活性化が所定時間よりも長いことが確認される。そして強制論理付与部12cへ論理“H”を与える。強制論理付与部12cにおいては、NMOSトランジスタQ13、Q14がオンし、接続点N15、N24のいずれにも強制的に論理“L”が与えられる。



1

## 【特許請求の範囲】

【請求項1】 (a) 第1及び第2の電位をそれぞれ与える第1及び第2の電位点と、

(b) 出力点と、

(c) 2値論理のいずれかに対応する第3の電位が与えられる制御端を有し、前記第3の電位が第1の論理及びこれと相補的な第2の論理に対応する場合に、前記第1の電位点と前記出力点との間をそれぞれ導通及び非導通させる第1の導通制御素子と、

(d) 2値論理のいずれかに対応する第4の電位が与えられる制御端を有し、前記第4の電位が第3の論理及びこれと相補的な第4の論理に対応する場合に、前記第2の電位点と前記出力点との間をそれぞれ導通及び非導通させる第2の導通制御素子と、

(e) 前記第3及び第4の電位がそれぞれ前記第1及び第3の論理に対応する場合に活性化する貫通検出信号を出力する貫通検出手段と、

(f) 前記貫通検出信号の活性化に基づいて、前記第1の導通制御素子の前記制御端に前記第2の論理を強制的に与える第1の論理付与機能と、前記第2の導通制御素子の前記制御端に前記第4の論理を強制的に与える第2の論理付与機能との、少なくともいずれか一方を果たす強制論理付与手段とを備える出力バッファ回路。

【請求項2】 (g) 前記貫通検出信号が所定の時間以上活性化した場合のみ前記強制論理付与手段の機能を果たさせる条件追加手段を更に備える請求項1記載の出力バッファ回路。

【請求項3】 (a) 第1導電型の基板上に形成され、いずれも前記第1導電型とは相補的な第2導電型である第1及び第2のウエルと、

(b) 前記第1のウエルにおいて形成され、いずれも前記第1導電型のドレイン及びソースと、前記第1のウエルに電位を与える前記第2導電型のウエル電極と、ゲート電極とを有する第1のMOSトランジスタと、

(c) 前記第2のウエルにおいて形成され、いずれも前記第1導電型のドレイン及びソースと、前記第2のウエルに電位を与える前記第2導電型のウエル電極と、ゲート電極とを有する第2のMOSトランジスタと、

(d) 前記第1のMOSトランジスタの前記ソース及び前記第2のMOSトランジスタの前記ドレインに共通して接続される出力端子と、

(e) 前記第1のMOSトランジスタの前記ドレインに第1の電位を与える第1の電位点と、

(f) 前記第2のMOSトランジスタの前記ソース及び前記第2のMOSトランジスタの前記ウエル電極に共通して前記第1の電位とは異なる第2の電位を与える第2の電位点とを備え、

前記第1のMOSトランジスタの前記ウエル電極は前記出力端子に接続される出力バッファ回路。

【請求項4】 自身に流れる電流を制限する電流制限素

2

子を介して、前記第1のMOSトランジスタの前記ウエル電極が前記出力端子に接続される請求項3記載の出力バッファ回路。

【請求項5】 前記電流制限性素子は可変性の抵抗値を呈し、

前記第1のMOSトランジスタ及び第2のMOSトランジスタの少なくともいずれかがオンする場合には第1の抵抗値を、

前記第1のMOSトランジスタ及び第2のMOSトランジスタのいずれもがオフする場合には前記第1の抵抗値よりも大きい第2の抵抗値をそれぞれ呈する請求項4記載の出力バッファ回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、一対のMOSトランジスタを最終段に備えた出力バッファに関する。

【0002】

【従来の技術】図22は従来の信号レベル変換機能付半導体集積回路装置の入出力回路の構成の一例を示す回路図である。

【0003】信号レベル変換機能付半導体集積回路とは、LSI内部の電源電圧で動作するデバイスが供給する信号電圧をレベル変換し、LSI内部の回路（内部回路）の電源電圧とは異なる電源電圧で動作する外部回路に出力する機能、及び、外部の異なる電源電圧系のデバイスが供給する信号を、内部回路の信号レベルに変換し、内部に伝達する機能を有する半導体集積回路装置を意味する。

【0004】入出力端子1には入力バッファ10を介して内部回路が接続されている。また、入出力端子1には出力バッファ回路9を介して、内部回路からのコントロール信号IN1を受けるコントロール端子2と、内部回路からの出力信号IN2を受ける入力端子3とが接続されている。

【0005】出力バッファ回路9は入出力コントロール回路6、信号レベル変換回路7、バッファ回路8aから構成されており、コントロール端子2及び入力端子3は入出力コントロール回路6に接続されている。入出力コントロール回路6は信号レベル変換回路7に対して出力し、信号レベル変換回路7はバッファ回路8aに対して接続点N13、N23を介して出力する。

【0006】入出力コントロール回路6及び信号レベル変換回路7の前半部には、内部回路の電源電圧である第1電源電位VDD1と接地電位GNDとが与えられて動作する。一方、信号レベル変換回路7の後半部及びバッファ回路8aには第1電源電位VDD1よりも高い第2電源電位VDD2と接地電位GNDとが与えられて動作する。第2電源電位VDD2及び接地電位GNDはそれぞれ電源電位点4及び接地電位点5によって供給される。

3

【0007】コントロール信号IN1が“H”レベルであれば、出力信号IN2が“L”レベルであれ“H”レベルであれ、信号レベル変換回路7によって接続点N13、N14はそれぞれ“L”レベル（接地電位GND）、“H”レベル（第2電源電位VDD2）となる。これを受けてバッファ回路8aのトランジスタQ9a、Q10のいずれもがオフし、入出力端子1に対してバッファ回路8aは高インピーダンス状態になる。これによって入出力端子1に与えられた外部からの信号が損なわれずに入力バッファ10に伝達される。

【0008】一方、コントロール信号IN1が“L”レベルであれば、出力信号IN2が“L”レベルであった場合には、信号レベル変換回路7によって接続点N13、N14はいずれも“L”レベルとなる。これを受けてバッファ回路8aのトランジスタQ9a、Q10はそれぞれオフ、オンし、入出力端子1には“L”レベルが出力される。

【0009】また、コントロール信号IN1が“L”レベルであり、出力信号IN2が“H”レベルであった場合には、信号レベル変換回路7によって接続点N13、N14はいずれも“H”レベルとなる。これを受けてバッファ回路8aのトランジスタQ9a、Q10はそれぞれオン、オフし、入出力端子1には“H”レベルが出力される。

【0010】図45は従来の信号レベル変換機能付半導体集積回路装置の入出力回路の構成の他の例を示す回路図である。図45に示された構成は、図44に示された構成のバッファ回路8aをバッファ回路8bに置換した構成となっている。そしてバッファ回路8bはバッファ回路8aのインバータゲートG18及びNMOSTランジスタQ9aをPMOSTランジスタQ9bに置換した構成となっている。

【0011】このように構成された場合でも、図44を用いて説明されたような動作が行われることは明白である。

【0012】

【発明が解決しようとする課題】従来の信号レベル変換機能付の半導体集積回路装置は、以上のように構成されており、正常な動作が行われている場合には、接続点N13、N23の電位の組は（“H”レベル、“H”レベル）、（“L”レベル、“L”レベル）、（“L”レベル、“H”レベル）のいずれかとなる。

【0013】しかし、第2電源電位VDD2が投入された初期状態において第1電源電位VDD1が投入されていない場合には、信号レベル変換回路7の各部の値が一義的に定まらない。例えば、接続点N13、N23の電位の組が（“H”レベル、“L”レベル）となることも起こり得る。このような事態は一对のトランジスタQ9a、Q10（あるいはQ9b、Q10）が同時に両方オンする状況を招来し、バッファ回路8a（あるいは8

4

b）において、電源電位点4と接地電位点5との間に不要な電流（貫通電流）が流れてしまうという問題があった。

【0014】図46は、バッファ回路8aの有するトランジスタQ9a、Q10の構造を模式的に示す断面図である。トランジスタQ9a、Q10はいずれもNMOSタイプであり、いずれも接地電位GNDが与えられたp-ウェルにおいて形成されている。

【0015】通常、高電位と低電位との間に接続されるNMOSTランジスタにおいては、その形成されるウェルの電位（以下「ウェル電位」と称する）は低電位となるように配線がなされる。

【0016】しかし、トランジスタQ9aのウェル電位を接地電位GNDにすると、トランジスタQ9aがオンした場合にソースSの電位が上昇し、ソースSとウェルWとの間にバイアスがかかってしまう。

【0017】バイアスがない場合は、トランジスタQ9aがEタイプであったならば、ウェル電位を接地電位GNDにし、ゲート電極GにVDD2（V）を印加し、ドレインDにVDD2（V）をかけると場合、ソースS（入出力端子1）の電位は（VDD2 - V<sub>TN</sub>）（V）になる。ここでV<sub>TN</sub>はNMOSTランジスタQ9のしきい値である。

【0018】しかしバイアスがかかるとV<sub>TN</sub>が正方向にシフトしV<sub>TN</sub>'（V<sub>TN</sub>' > V<sub>TN</sub>）になり、ドレイン電流は減少する。したがって入出力端子1の電位は（VDD2 - V<sub>TN</sub>'）（V）になり“H”レベルの出力電位はバイアスがない場合と比較して低下するという問題点を招来する。

【0019】図47は、バッファ回路8bの有するトランジスタQ9b、Q10の構造を模式的に示す断面図である。トランジスタQ9b、Q10はそれぞれPMOSタイプ及びNMOSタイプである。よってトランジスタQ9bは第2電源電位VDD2が与えられたn-ウェルにおいて形成され、ウェル電位は第2電源電位VDD2に設定される。そのためトランジスタQ9aにおいて生じた問題点は回避される。

【0020】この発明は上記のような問題点を解決するためになされたもので、貫通電流が流れるような論理に対応した電位が与えられた状態が生じた場合、自動的にその状態を脱する出力バッファ回路を得ることを目的としている。

【0021】更に、相補的な論理レベルに対応する電位差を広げる出力バッファ回路を得ることをも目的としている。

【0022】

【課題を解決するための手段】この発明のうち請求項1にかかるものは出力バッファ回路であって、（a）第1及び第2の電位をそれぞれ与える第1及び第2の電位点と、（b）出力点と、（c）2値論理のいずれかに対応

する第3の電位が与えられる制御端を有し、前記第3の電位が第1の論理及びこれと相補的な第2の論理に対応する場合に、前記第1の電位点と前記出力点との間をそれぞれ導通及び非導通させる第1の導通制御素子と、

(d) 2値論理のいずれかに対応する第4の電位が与えられる制御端を有し、前記第4の電位が第3の論理及びこれと相補的な第4の論理に対応する場合に、前記第2の電位点と前記出力点との間をそれぞれ導通及び非導通させる第2の導通制御素子と、(e) 前記第3及び第4の電位がそれぞれ前記第1及び第3の論理に対応する場合に活性化する貫通検出信号を出力する貫通検出手段と、(f) 前記貫通検出信号の活性化に基づいて、前記第1の導通制御素子の前記制御端に前記第2の論理を強制的に与える第1の論理付与機能と、前記第2の導通制御素子の前記制御端に前記第4の論理を強制的に与える第2の論理付与機能との、少なくともいずれか一方を果たす強制論理付与手段とを備える。

【0023】この発明のうち請求項2にかかるものは請求項1記載の出力バッファ回路であって、(g) 前記貫通検出信号が所定の時間以上活性化した場合のみ前記強制論理付与手段の機能を果たさせる条件追加手段を更に備える。

【0024】この発明のうち請求項3にかかるものは出力バッファ回路であって、(a) 第1導電型の基板上に形成され、いずれもが前記第1導電型とは相補的な第2導電型である第1及び第2のウェルと、(b) 前記第1のウェルにおいて形成され、いずれも前記第1導電型のドレイン及びソースと、前記第1のウェルに電位を与える前記第2導電型のウェル電極と、ゲート電極とを有する第1のMOSトランジスタと、(c) 前記第2のウェルにおいて形成され、いずれも前記第1導電型のドレイン及びソースと、前記第2のウェルに電位を与える前記第2導電型のウェル電極と、ゲート電極とを有する第2のMOSトランジスタと、(d) 前記第1のMOSトランジスタの前記ソース及び前記第2のMOSトランジスタの前記ドレインに共通して接続される出力端子と、

(e) 前記第1のMOSトランジスタの前記ドレインに第1の電位を与える第1の電位点と、(f) 前記第2のMOSトランジスタの前記ソース及び前記第2のMOSトランジスタの前記ウェル電極に共通して前記第1の電位とは異なる第2の電位を与える第2の電位点とを備える。そして、前記第1のMOSトランジスタの前記ウェル電極は前記出力端子に接続される。

【0025】この発明のうち請求項4にかかるものは請求項3記載の出力バッファ回路であって、自身に流れる電流を制限する電流制限素子を介して、前記第1のMOSトランジスタの前記ウェル電極が前記出力端子に接続される。

【0026】この発明のうち請求項5にかかるものは請求項4記載の出力バッファ回路であって、前記電流制限

性素子は可変性の抵抗値を呈し、前記第1のMOSトランジスタ及び第2のMOSトランジスタの少なくともいずれかがオンする場合には第1の抵抗値を、前記第1のMOSトランジスタ及び第2のMOSトランジスタのいずれもがオフする場合には前記第1の抵抗値よりも大きい第2の抵抗値を、それぞれ呈する。

【0027】

【発明の実施の形態】

実施の形態1：図1はこの発明の実施の形態1にかかる信号レベル変換機能付半導体集積回路装置の入出力回路の構成を示す回路図である。

【0028】入出力端子1には入力バッファ10を介して内部回路が接続されている。また、入出力端子1には出力バッファ回路9を介して、内部回路からのコントロール信号IN1を受けるコントロール端子2と、内部回路からの出力信号IN2を受ける入力端子3とが接続されている。更に入出力端子1には静電保護回路11が接続されている。

【0029】静電保護回路11は、入出力端子1から高電位の外部入力信号が入力された時に低インピーダンス状態となり、低電位あるいは動作電圧の外部入力信号が入力された時は高インピーダンス状態となることにより、入力出力回路の静電破壊を保護する働きをする。静電保護回路11は、例えば、基板上に接合ダイオード、拡散領域、ポリシリコン層を用いた抵抗素子の組み合わせた構造で形成される。

【0030】図1において「VDD1←」は内部回路の電源電圧である第1電源電位VDD1で駆動される回路の範囲を「VDD2→」は第2電源電位VDD2で駆動される回路の範囲を示す。また、電源電位点4は第2電源電位VDD2を供給し、接地電位点5は接地電位GNDを供給する。ここでVDD2>VDD1>GNDである。

【0031】入力バッファ回路10は、第2電源電位VDD2と接地電位GNDとにより“H”レベル、“L”レベルが規定される外部入力信号を、第1電源電位VDD1と接地電位GNDとにより“H”レベル、“L”レベルが規定される信号に信号レベルを変換する回路と、入力ドライバ回路より構成される。

【0032】出力バッファ回路9は入出力コントロール回路6、信号レベル変換回路7、バッファ回路8aから構成されており、コントロール端子2及び入力端子3は入出力コントロール回路6に接続されている。

【0033】入出力コントロール回路6は、インバータゲートG1、G2、G3、2入力NORゲートG4、2入力NANDゲートG5より構成され、トライステート型の入出力コントロール回路を構成している。

【0034】インバータゲートG1、G2の入力端は、それぞれコントロール端子2と入力端子3に接続されている。インバータゲートG3の入力端はインバータゲ

トG1の出力端に接続されている。NORゲートG4の第1及び第2の入力端は、それぞれインバータゲートG3の出力端とインバータゲートG2の出力端に接続されている。NANDゲートG5の第1及び第2の入力端は、それぞれインバータゲートG1の出力端及びインバータゲートG2の出力端に接続されている。

【0035】信号レベル変換回路7は、インバータゲートG6～G11、並びにPMOSTランジスタQ1、Q2、Q5、Q6及びNMOSTランジスタQ3、Q4、Q7、Q8でラッチ型の信号レベル変換回路を構成して 10

いる。  
【0036】インバータゲートG6、G7のいずれの入力端もNORゲートG4の出力端に接続され、インバータゲートG8の入力端はインバータゲートG6の出力端に接続される。

【0037】インバータゲートG9、G10のいずれの入力端もNANDゲートG5の出力端に接続され、インバータゲートG11の入力端はインバータゲートG9の出力端に接続される。

【0038】PMOSTランジスタQ1のソース電極は 20 電源電位点4に、ゲート電極は接続点N13に、ドレイン電極はNMOSTランジスタQ3のドレイン電極に、それぞれ接続されている。PMOSTランジスタQ2のソース電極は電源電位点4に、ゲート電極はNMOSTランジスタQ3のドレイン電極に、ドレイン電極は接続点N13に、それぞれ接続されている。NMOSTランジスタQ3のソース電極は接地電位点5に、ゲート電極は接続点N11を介してインバータゲートG8の出力端に、ドレイン電極はPMOSTランジスタQ1のドレイン電極に、それぞれ接続されている。NMOSTランジスタQ4のソース電極は接地電位点5に、ゲート電極は 30 接続点N12を介してインバータゲートG7の出力端に、ドレイン電極は接続点N13に、それぞれ接続されている。

【0039】PMOSTランジスタQ5のソース電極は電源電位点4に、ゲート電極は接続点N23に、ドレイン電極はNMOSTランジスタQ7のドレイン電極に、それぞれ接続されている。PMOSTランジスタQ6のソース電極は電源電位点4に、ゲート電極はNMOSTランジスタQ7のドレイン電極に、ドレイン電極は接続点N23に、それぞれ接続されている。NMOSTランジスタQ7のソース電極は接地電位点5に、ゲート電極は接続点N21を介してインバータゲートG11の出力端に、ドレイン電極はPMOSTランジスタQ5のドレイン電極に、それぞれ接続されている。NMOSTランジスタQ8のソース電極は接地電位点5に、ゲート電極は接続点N22を介してインバータゲートG10の出力端に、ドレイン電極は接続点N23に、それぞれ接続されている。

【0040】入出力コントロール回路6及び信号レベル 50

変換回路7の前半部（インバータゲートG6～G11で構成されている部分）は、第1電源電位VDD1と接地電位GNDとが与えられて動作する。一方、信号レベル変換回路7の後半部（MOSTランジスタQ1～Q8で構成されている部分）及びバッファ回路8aには第2電源電位VDD2と接地電位GNDとが与えられて動作する。

【0041】インバータゲートG1～G3、G6～G11はCMOS構成を有し、第1電源電位VDD1及び接地電位GNDで駆動される。MOSTランジスタQ1～Q8は第2電源電位VDD2及び接地電位GNDで駆動される。絶縁破壊を回避するため、インバータゲートG1～G3、G6～G11を構成するMOSTランジスタのゲート絶縁膜よりも、MOSTランジスタQ1～Q8のゲート絶縁膜の方が厚い。

【0042】バッファ回路8aは、CMOS構造を有するインバータゲートG12～G18と、NMOSTランジスタQ9a、Q10で構成される最終段とを有するブッシュアップ回路で構成される。

【0043】インバータゲートG12の入力端は、接続点N13を介して信号レベル変換回路7に接続される。インバータゲートG14の入力端は接続点N14を介してインバータゲートG12の出力端に接続される。インバータゲートG16の入力端は接続点N15を介してインバータゲートG14の出力端に接続される。インバータゲートG18の入力端は接続点N16を介してインバータゲートG16の出力端に接続される。インバータゲートG18の出力端はNMOSTランジスタQ9aのゲート電極に接続される。つまり、接続点N13とNMOSTランジスタQ9aのゲート電極との間には偶数段のインバータゲートが介在し、接続点N13に与えられた電位に対応する論理と同一の論理に対応する電位がNMOSTランジスタQ9aのゲート電極に与えられることになる。

【0044】インバータゲートG13の入力端は、接続点N23を介して信号レベル変換回路7に接続される。インバータゲートG15の入力端は接続点N24を介してインバータゲートG13の出力端に接続される。インバータゲートG17の入力端は接続点N25を介してインバータゲートG15の出力端に接続される。インバータゲートG17の出力端はNMOSTランジスタQ10のゲート電極に接続される。つまり、接続点N23とNMOSTランジスタQ10のゲート電極との間には奇数段のインバータゲートが介在し、接続点N23に与えられた電位に対応する論理と相補的な論理に対応する電位がNMOSTランジスタQ10のゲート電極に与えられることになる。

【0045】バッファ回路8aの最終段は、NMOSブッシュアップバッファで構成されている。NMOSTランジスタQ9aのソース電極は入出力端子1に、ゲート電

極は接続点N17に、ドレイン電極は電源電位点4に、それぞれ接続される。NMOSTランジスタQ10のソース電極は接地電位点5に、ゲート電極は接続点N26に接続されドレイン電極は入出力端子1に接続される。

【0046】絶縁破壊を回避するため、インバータゲートG1~G3, G6~G11を構成するMOSTランジスタのゲート絶縁膜よりも、インバータゲートG12~G18を構成するMOSTランジスタ及びMOSTランジスタQ9a, Q10のゲート絶縁膜の方が厚い。

【0047】リセット回路12は、貫通検出部12aと、条件追加部12bと、強制論理付与部12cとから構成されている。

【0048】貫通検出部12aは、第1入力端が接続点N15に接続され、第2入力端が接続点N24に接続されたNANDゲートG19と、NANDゲートG19の出力端に接続されたインバータゲートG20とを有している。

【0049】条件追加部12bは、インバータゲートG20の出力端に接続された偶数段のインバータゲートからなる遅延回路G21と、第1入力端がインバータゲートG20の出力端に接続され、第2入力端が遅延回路G21の出力端に接続されたNANDゲートG22と、NANDゲートG22の出力端に接続されたインバータゲートG23とを有している。

【0050】強制論理付与部12cは、NMOSTランジスタQ13, Q14を有する。NMOSTランジスタQ13は、そのソース電極が接地電位点5に接続され、ゲート電極が条件追加部12bの出力を受け、ドレイン電極が信号レベル変換回路7の出力が与えられる接続点N13に接続されている。NMOSTランジスタQ14は、そのソース電極が接地電位点5に、ゲート電極が条件追加部12bの出力を受け、ドレイン電極が信号レベル変換回路7の出力が与えられる接続点N23に接続されている。

【0051】リセット回路12は、MOSTランジスタで構成され、各トランジスタのゲート絶縁膜はインバータゲートG1~G11を構成するMOSTランジスタのゲート絶縁膜よりも厚い。

【0052】以上のように構成された回路の動作について説明する。図1に示された半導体集積回路装置は、信号レベルの変換を行いつつ、LSIの内部回路からLSI外部のデバイスに信号を伝達する。つまり、第1電源電位VDD1と接地電位GNDとが供給される第1電源系で動作するLSIの内部回路から供給された信号をレベル変換し、第2電源電位VDD2と接地電位GNDとが供給される第2電源系で動作するLSI外部のデバイスへと供給する。

【0053】通常の動作状態では、第1電源電位VDD1及び第2電源電位VDD2が共に印加されている。従って、図1で示された回路の動作は、順次以下の通りに

なる。

【0054】まず、コントロール信号IN1が“L”レベルの場合を説明する。出力信号IN2が“L”レベルのとき、入出力コントロール回路6のNORゲート4及びNANDゲートG5は、いずれも“L”レベルを出力する。従って、NMOSTランジスタQ3, Q7はオフし、NMOSTランジスタQ4, Q8はオンする。この故にPMOSTランジスタQ1はオン、PMOSTランジスタQ2はオフ、PMOSTランジスタQ5はオン、PMOSTランジスタQ6はオフする。

【0055】これらのトランジスタのオン、オフ動作により、接続点N13, N23にはいずれも“L”レベルが与えられる。従って、接続点N17, N26にはそれぞれ“L”レベル及び“H”レベルが与えられ、NMOSTランジスタQ9aはオフ、NMOSTランジスタQ10はオンとなり、入出力端子1には“L”レベルが与えられる。

【0056】この場合において、接続点N15, N24にはそれぞれ“L”レベル及び“H”レベルが与えられ、貫通検出部12aは“L”レベルを条件追加部12bに伝達する。接続点N29の論理レベルが“L”であるので、接続点N30, N31の論理レベルはそれぞれ“H”, “L”となる。よって強制論理付与部12cのNMOSTランジスタQ13, Q14はいずれもオフしており、上記動作に影響は与えられない。

【0057】次にコントロール信号IN1が“L”レベルで、出力信号IN2が“H”レベルの場合について説明する。入出力コントロール回路6のNORゲート4及びNANDゲートG5は、いずれも“H”レベルを出力する。従って、NMOSTランジスタQ3, Q7はオンし、NMOSTランジスタQ4, Q8はオフする。この故にPMOSTランジスタQ1はオフ、PMOSTランジスタQ2はオン、PMOSTランジスタQ5はオフ、PMOSTランジスタQ6はオンする。

【0058】これらのトランジスタのオン、オフ動作により、接続点N13, N23にはいずれも“H”レベルが与えられる。従って、接続点N17, N26にはそれぞれ“H”レベル及び“L”レベルが与えられ、NMOSTランジスタQ9aはオン、NMOSTランジスタQ10はオフとなり、入出力端子1には“H”レベルが与えられる。

【0059】この場合において、接続点N15, N24にはそれぞれ“H”レベル及び“L”レベルが与えられ、貫通検出部12aは“L”レベルを条件追加部12bに伝達する。接続点N29の論理レベルが“L”であるので、接続点N30, N31の論理レベルはそれぞれ“H”, “L”となる。よって強制論理付与部12cのNMOSTランジスタQ13, Q14はいずれもオフしており、上記動作に影響は与えられない。

【0060】以上のように、コントロール信号IN1が



“L”レベルであれば、出力信号IN2と同じ論理レベルが入出力端子1へ出力される。

【0061】一方、コントロール信号IN1が“H”レベルであれば、出力信号IN2が“H”レベルであるか“L”レベルであるかに拘らず、入出力コントロール回路6のNORゲート4及びNANDゲートG5は、それぞれ“L”レベル及び“H”レベルを出力する。従って、NMOSトランジスタQ4、Q7はオンし、NMOSトランジスタQ3、Q8はオフする。この故にPMOSトランジスタQ1はオン、PMOSトランジスタQ2

はオフ、PMOSトランジスタQ5はオフ、PMOSトランジスタQ6はオンする。

【0062】これらのトランジスタのオン、オフ動作により、接続点N13、N23にはそれぞれ“L”レベル及び“H”レベルが与えられる。従って、接続点N17、N26にはいずれも“L”レベルが与えられ、NMOSトランジスタQ9a、Q10は共にオフとなり、入出力端子は外部回路からみて高インピーダンス状態になる。

【0063】もしも第1電源電位VDD1が投入されないまま、第2電源電位VDD2が投入された場合、第1電源系で動作する入出力コントロール回路6及び信号レベル変換回路7の前半部の論理レベルが決定されないまま、第2電源レベル系で動作する信号レベル変換回路7の後半部がバッファ回路8aに論理レベルを伝達することになる。

【0064】このとき接続点N13、N23に与えられる論理レベルの組が、“H”、“H”）、 (“L”、“L”）、 (“L”レベル、“H”レベル)のいずれかであれば問題ないが、“H”、“L”）となる可能性もあり、この場合には貫通電流が流れるという問題点が生じることは既述の通りである。リセット回路12はこのような状態を検出し、接続点N13、N23に対して強制的に (“L”、“L”)の論理レベルを付与する。

【0065】図2は、第2電源電位VDD2が投入された時点で接続点N13、N23に与えられる論理レベルが、それぞれ“H”、“L”であった場合の回路の動作を示すタイミングチャートである。接続点N15、N24にはいずれも“H”レベルが与えられる。図2においては、接続点N13から接続点N15の間に存在するインバータゲートが2個である一方、接続点N23から接続点N24の間に存在するインバータゲートが1個であることを考慮して、接続点N15の論理レベルの遷移を接続点N24の論理レベルの遷移よりも $\delta$ だけ遅らせて示している。

【0066】接続点N15、N24にはいずれも“H”レベルが与えられるので、貫通検出部12aは“H”レベルの貫通検出信号を条件追加部12bに伝達する。遅延回路G21は偶数段のインバータゲートから構成されるので、所定の遅延時間 $\tau$ が経過した後は接続点N2

8、N29の論理レベルが等しく“H”となる。このため接続点N30、N31の論理レベルはそれぞれ

“L”、“H”となって、強制論理付与部12cのNMOSトランジスタQ13、Q14はいずれもオンする。NMOSトランジスタQ13、Q14のソースのいずれにも論理“L”に対応する接地電位GNDが与えられているので、接続点N13、N23の論理レベルは強制的にいずれも“L”になる。よって、NMOSトランジスタQ9a、Q10はそれぞれオフ、オンして、入出力端子1には“L”レベルが与えられる。従って、貫通電流が流れることもない。

【0067】図4はこの実施の形態の変形の構成を示す回路図である。同図においては図1と比較して、リセット回路12がリセット回路121で置換された構成が示されている。そしてリセット回路121は強制論理付与部12cを強制論理付与部12dで置換した構成を有している。強制論理付与部12dは強制論理付与部12cからNMOSトランジスタQ14を省いた構成を採っている。

【0068】リセット回路12が接続点N23に強制的に与える論理は“L”であるが、接続点N23にはリセット回路12が動作するまでもなく、貫通電流が流れるという問題点が生じる場合には論理“L”が与えられていた。従って、NMOSトランジスタQ14の導通/非導通はNMOSトランジスタQ10の動作に影響を与えることがなく、これを省略することができる。

【0069】条件追加部12bは、接続点N31に“H”レベルが与える条件として、単に「接続点N15、N24のいずれにも“H”レベルが与えられる」という条件のみならず、更に「接続点N15、N24に“H”レベルが遅延時間 $\tau$ 以上持続して与えられる」という条件をも追加する機能を有している。

【0070】図3は第1電源電位VDD1及び第2電源電位VDD2が共に印加されて通常の動作状態にある場合の動作を示すタイミングチャートである。コントロール信号IN1が“L”であり、出力信号IN2が周期Tで“H”レベル、“L”レベルを繰り返して遷移している場合が示されている。

【0071】この場合には、接続点N13、N23における論理レベルは、周期Tで“H”レベル、“L”レベルを繰り返してほぼ同時に遷移する。従って、接続点N15、N24においても周期Tで“H”レベル、“L”レベルが繰り返して遷移される。但し接続点N15における論理の遷移は接続点N24における論理の遷移よりも $\delta$ だけ遅延している。このため、通常動作が行われていても、過渡的なスイッチングによって、幅 $\delta$ のパルスが接続点N27に生じることになる。

【0072】しかし、このパルスは遅延回路G21によって遅延時間 $\tau$ だけ遅延して接続点N28に到達するので、パルス幅 $\delta$ が遅延時間 $\tau$ よりも短ければ接続点N3

0, N31の論理レベルはそれぞれ“H”, “L”のままである。つまり、通常動作において起こり得るわずかなゲート遅延についてはリセット回路12はこれを無視することになる。従って、不要に強制的な論理の付与を行わずに済む。

【0073】このような望ましい動作をさせるためには、遅延時間 $\tau$ はパルス幅 $\delta$ （これはゲート遅延に由来する遅延時間である）よりも大きくすることが望ましい。その一方、周期Tよりも小さくしておくことが望ましい。さもないと、接続点N29に伝達される次のパルスとの論理積が“H”となってしまう為である。

【0074】第1電源電位VDD1が投入されないまま、第2電源電位VDD2が投入された場合、接続点N13, N23に与えられる論理レベルの組が、

（“H”, “L”）となる場合に接続点N13, N23に対して強制的に（“L”, “H”）の論理レベルを付与し、NMOSトランジスタQ9a, Q10の何れをもオフさせて、入出力端子1をハイインピーダンス状態に保つことも可能である。

【0075】図5は上記の動作を実現する、この実施の形態の変形の構成を示す回路図である。同図においては図1と比較して、リセット回路12がリセット回路122で置換された構成が示されている。そしてリセット回路122は強制論理付与部12cを強制論理付与部12eで置換した構成を有している。強制論理付与部12eは強制論理付与部12cのNMOSトランジスタQ14をPMOSトランジスタQ16及びインバータINVに置換した構成を採っている。

【0076】インバータINVの入力端には接続点N31が接続され、その出力端にはPMOSトランジスタQ16のゲート電極が接続されている。PMOSトランジスタQ16のソース電極は電源電位点4に、ドレイン電極は接続点N23に、それぞれ接続されている。

【0077】NMOSトランジスタN13がオンする場合にはPMOSトランジスタQ16もオンする。よって、第1電源電位VDD1が投入されないまま、第2電源電位VDD2が投入され、接続点N13, N23に与えられる論理レベルの組が、（“H”, “L”）となる場合にはリセット回路122が入出力端子1をハイインピーダンス状態に保つ。勿論貫通電流が流れることもない。

【0078】図6は、図5に示された回路の変形を示している。条件追加部12bにおける、NANDゲートG22とインバータゲートG23との直列接続をANDゲートG221に置換した構成が示されている。

【0079】実施の形態2：図7はこの発明の実施の形態2にかかる信号レベル変換機能付半導体集積回路装置の入出力回路の構成を示す回路図である。ここで示された回路は、実施の形態1において示された回路のリセット回路12をリセット回路13に置換した構成を有して

いる。

【0080】リセット回路13は、貫通検出部13aと、条件追加部13bと、強制論理付与部13cとから構成されており、条件追加部13b及び強制論理付与部13cは、それぞれ実施の形態1における条件追加部12b及び強制論理付与部12cと同一である。

【0081】但し、貫通検出部13aは接続点N16, N25のそれぞれに接続された2つの入力端を有するNORゲートG24で構成されている。インバータゲートG16の機能により、接続点N15に与えられる論理と相補的な（つまり反転した）論理が接続点N16に与えられる。またインバータゲートG15の機能により、接続点N24に与えられる論理と相補的な論理が接続点N25に与えられる。

【0082】従って、条件追加部13bに与えられる論理レベルは実施の形態1で説明された動作に従って遷移する。よって、実施の形態2においても実施の形態1と同様の効果が得られる。

【0083】なお、NORゲートG24を構成するMOSTランジスタのゲート絶縁膜は、インバータゲートG1～G3, G6～G11を構成するMOSTランジスタのゲート絶縁膜よりも厚い。

【0084】図8乃至図10はそれぞれ図4乃至図6に示された変形と同一の思想による変形をこの実施の形態についても施した構成を示している。

【0085】図8においては図7と比較して、リセット回路13がリセット回路131で置換された構成が示されている。そしてリセット回路131は強制論理付与部13cを強制論理付与部13dで置換した構成を有している。強制論理付与部13dは強制論理付与部13cからNMOSトランジスタQ14を省いた構成を採っている。

【0086】図9においては図7と比較して、リセット回路13がリセット回路132で置換された構成が示されている。そしてリセット回路132は強制論理付与部13cを強制論理付与部13eで置換した構成を有している。強制論理付与部13eは強制論理付与部13cのNMOSトランジスタQ14をPMOSトランジスタQ16及びインバータINVに置換した構成を採っている。

【0087】図10は、図9に示された回路の変形を示している。条件追加部13bにおける、NANDゲートG22とインバータゲートG23との直列接続をANDゲートG221に置換した構成が示されている。

【0088】よって、実施の形態2の変形においても実施の形態1の変形と同様の効果が得られる。

【0089】実施の形態3：図11はこの発明の実施の形態3にかかる信号レベル変換機能付半導体集積回路装置の入出力回路の構成を示す回路図である。ここで示された回路は、実施の形態1において示された回路のリセ

ット回路12をリセット回路14に置換した構成を有している。

【0090】リセット回路14は、貫通検出部14aと、条件追加部14bと、強制論理付与部14cとから構成されており、強制論理付与部14cは実施の形態1における強制論理付与部12cと同一である。

【0091】但し、貫通検出部14aは実施の形態1において示された貫通検出部12aのインバータゲートG20を除去した構成を有している。即ち、接続点N15、N24のそれぞれに接続された2つの入力端を有するNANDゲートG19のみで構成されている。

【0092】また条件追加部14bは、実施の形態1において示された条件追加部12bにおけるインバータゲートG23を除去し、NANDゲートG22をNORゲートG30に置換した構成を有している。つまり条件追加部14bは、貫通検出部14aのNANDゲートG19の出力を遅延時間 $\tau$ だけ遅延させる遅延回路21と、NANDゲートG19の出力及び遅延回路G21の出力を受ける2つの入力端を有するNORゲートG30とで構成されている。

【0093】貫通検出部14aは、貫通検出部12aとは相補的な貫通検出信号を条件追加部14bに与える。このため、NORゲートG30の出力は実施の形態1においてインバータゲートG23が接続点N31に与えていた論理と同一の論理を接続点N31に与えることになる。

【0094】従って、強制論理付与部14cは実施の形態1で説明された動作に従って遷移する。よって、実施の形態3においても実施の形態1と同様の効果が得られる。

【0095】なお、NORゲートG30を構成するMOSトランジスタのゲート絶縁膜は、インバータゲートG1～G3、G6～G11を構成するMOSトランジスタのゲート絶縁膜よりも厚い。

【0096】図12及び図13はそれぞれ図4及び図5に示された変形と同一の思想による変形をこの実施の形態についても施した構成を示している。

【0097】図12においては図11と比較して、リセット回路14がリセット回路141で置換された構成が示されている。そしてリセット回路141は強制論理付与部14cを強制論理付与部14dで置換した構成を有している。強制論理付与部14dは強制論理付与部14cからNMOSトランジスタQ14を省いた構成を採っている。

【0098】図13においては図11と比較して、リセット回路14がリセット回路142で置換された構成が示されている。そしてリセット回路142は強制論理付与部14cを強制論理付与部14eで置換した構成を有している。強制論理付与部14eは強制論理付与部14cのNMOSトランジスタQ14をPMOSTランジスタ

スタQ16及びインバータINVに置換した構成を採っている。

【0099】よって、実施の形態3の変形においても実施の形態1の変形と同様の効果が得られる。

【0100】実施の形態4：図14はこの発明の実施の形態4にかかる信号レベル変換機能付半導体集積回路装置の入出力回路の構成を示す回路図である。ここで示された回路は、実施の形態1において示された回路のリセット回路12をリセット回路15に置換した構成を有している。

【0101】リセット回路15は、貫通検出部15aと、条件追加部15bと、強制論理付与部15cとから構成されており、貫通検出部15aは実施の形態1における貫通検出部12aと同一である。

【0102】但し、条件追加部15bは実施の形態1において示された条件追加部12bのインバータゲートG23を除去した構成を有している。即ち、条件追加部15bは、貫通検出部15aのインバータゲートG20の出力を遅延時間 $\tau$ だけ遅延させる遅延回路21と、インバータゲートG20の出力及び遅延回路G21の出力を受ける2つの入力端を有するNANDゲートG22とで構成されている。

【0103】また強制論理付与部15cは、PMOSTランジスタQ15、Q16を有する。PMOSTランジスタQ15は、そのソース電極が電源電位点4に接続され、ゲート電極は条件追加部15bの出力を受け、ドレイン電極が信号レベル変換回路7の出力が与えられる接続点N13に接続されている。PMOSTランジスタQ16は、そのソース電極が電源電位点4に接続され、ゲート電極が条件追加部15bの出力を受け、ドレイン電極が信号レベル変換回路7の出力が与えられる接続点N23に接続されている。

【0104】条件追加部15bの出力は接続点N30において与えられ、これがPMOSTランジスタQ15、Q16に与えられる。条件追加部15bの出力、及びPMOSTランジスタQ15、Q16がオンする条件は、実施の形態1と比較していずれも相補的な論理関係にある。このため、PMOSTランジスタQ15、Q16のオン・オフの動作は、実施の形態1におけるNMOSTランジスタQ13、Q14のオン・オフの動作と同一になる。

【0105】但しPMOSTランジスタQ15、Q16がオンすることにより、接続点N13、N23のいずれにも論理“H”に対応する第2電源電位VDD2が与えられるので、実施の形態1の場合とは異なりNMOSTランジスタQ9a、Q10はそれぞれオン、オフして、入出力端子1には“H”レベルが与えられる。勿論、貫通電流が流れることはない。

【0106】なお、PMOSTランジスタQ15、Q16のゲート絶縁膜は、インバータゲートG1～G11を

構成するMOSトランジスタのゲート絶縁膜よりも厚い。

【0107】図15はこの実施の形態の変形の構成を示す回路図である。同図においては図14と比較して、リセット回路15がリセット回路151で置換された構成が示されている。そしてリセット回路151は強制論理付与部15cを強制論理付与部15dで置換した構成を有している。強制論理付与部15dは強制論理付与部15cからPMOSTランジスタQ15を省いた構成を採っている。

【0108】リセット回路15が接続点N13に強制的に与える論理は“H”であるが、接続点N13にはリセット回路15が動作するまでもなく、貫通電流が流れるという問題点が生じる場合には論理“H”が与えられていた。従って、PMOSTランジスタQ15の導通/非導通はNMOSTランジスタQ9aの動作に影響を与えることがなく、これを省略することができる。

【0109】実施の形態5：図16はこの発明の実施の形態5にかかる信号レベル変換機能付半導体集積回路装置の入出力回路の構成を示す回路図である。ここで示された回路は、実施の形態4において示された回路のリセット回路15をリセット回路16に置換した構成を有している。

【0110】リセット回路16は、貫通検出部16aと、条件追加部16bと、強制論理付与部16cとから構成されている。貫通検出部16aは実施の形態2における貫通検出部13aと同一であり、NORゲートG24は接続点N16、N25のそれぞれに接続された2つの入力端を有する。条件追加部16b及び強制論理付与部16cはそれぞれ実施の形態4において示された条件追加部15b及び強制論理付与部15cと同一である。

【0111】貫通検出部16aは貫通検出部15aとは相補的な論理を入力するので、条件追加部16bに対して与える貫通検出信号は、実施の形態4において条件追加部15bに対して与えられる貫通検出信号と同一である。従って、実施の形態5も実施の形態4と同様の効果が得られる。

【0112】図17は図15に示された変形と同一の思想による変形をこの実施の形態についても施した構成を示している。図17においては図16と比較して、リセット回路16がリセット回路161で置換された構成が示されている。そしてリセット回路161は強制論理付与部16cを強制論理付与部16dで置換した構成を有している。強制論理付与部16dは強制論理付与部16cからPMOSTランジスタQ15を省いた構成を採っている。

【0113】よって、実施の形態5の変形においても実施の形態4の変形と同様の効果が得られる。

【0114】実施の形態6：図18はこの発明の実施の形態6にかかる信号レベル変換機能付半導体集積回路装

置の入出力回路の構成を示す回路図である。ここで示された回路は、実施の形態4において示された回路のリセット回路15をリセット回路17に置換した構成を有している。

【0115】リセット回路17は、貫通検出部17aと、条件追加部17bと、強制論理付与部17cとから構成されている。貫通検出部17aは実施の形態3における貫通検出部14aと同一であり、条件追加部17bは実施の形態3における条件追加部14bにインバータゲートG23を付加した構成となっている。即ちNORゲートG30の出力は、インバータゲートG23によって反転されて強制論理付与部17cに与えられる。強制論理付与部17cは実施の形態4において示された強制論理付与部15cと同一である。

【0116】実施の形態6における強制論理付与部17cは、実施の形態3における強制論理付与部14cとは相補的な論理によって動作する。これは強制論理付与部14cがNMOSTランジスタQ13、Q14から構成されているのに対して、強制論理付与部17cがPMOSTランジスタQ15、Q16から構成されていることによる。

【0117】一方、条件追加部17bはインバータゲートG23の出力によって実施の形態3の条件追加部14bと相補的な論理を出力する。従って、実施の形態6も実施の形態4と同様の効果が得られる。

【0118】図19は図15に示された変形と同一の思想による変形をこの実施の形態についても施した構成を示している。図19においては図18と比較して、リセット回路17がリセット回路171で置換された構成が示されている。そしてリセット回路171は強制論理付与部17cを強制論理付与部17dで置換した構成を有している。強制論理付与部17dは強制論理付与部17cからPMOSTランジスタQ15を省いた構成を採っている。

【0119】よって、実施の形態6の変形においても実施の形態4の変形と同様の効果が得られる。

【0120】実施の形態7：図20はこの発明の実施の形態7にかかる信号レベル変換機能付半導体集積回路装置の入出力回路の構成を示す回路図である。ここで示された回路は、実施の形態1において示された回路のバッファ回路8aをバッファ回路8bに置換した構成を有している。

【0121】そしてバッファ回路8bはバッファ回路8aのインバータゲートG18及びNMOSTランジスタQ9aをPMOSTランジスタQ9bに置換した構成となっている。PMOSTランジスタQ9bに与えられる論理はNMOSTランジスタ9aに与えられる論理と相補的なものであるため、実施の形態7においても実施の形態1と同様の効果が得られる。

【0122】図21乃至図23はそれぞれ図4乃至図6

に示された変形と同一の思想による変形をこの実施の形態についても施した構成を示している。

【0123】 によって、実施の形態7の変形においても実施の形態1の変形と同様の効果が得られる。

【0124】 実施の形態8：図24はこの発明の実施の形態8にかかる信号レベル変換機能付半導体集積回路装置の入出力回路の構成を示す回路図である。ここで示された回路は、実施の形態2において示された回路のバッファ回路8aをバッファ回路8bに置換した構成を有している。従って、実施の形態8においても実施の形態2と同様の効果が得られる。

【0125】 図25乃至図27はそれぞれ図4乃至図6に示された変形と同一の思想による変形をこの実施の形態についても施した構成を示している。

【0126】 によって、実施の形態8の変形においても実施の形態1の変形と同様の効果が得られる。

【0127】 実施の形態9：図28はこの発明の実施の形態9にかかる信号レベル変換機能付半導体集積回路装置の入出力回路の構成を示す回路図である。ここで示された回路は、実施の形態3において示された回路のバッファ回路8aをバッファ回路8bに置換した構成を有している。従って、実施の形態9においても実施の形態3と同様の効果が得られる。

【0128】 図29及び図30はそれぞれ図4及び図5に示された変形と同一の思想による変形をこの実施の形態についても施した構成を示している。

【0129】 によって、実施の形態9の変形においても実施の形態1の変形と同様の効果が得られる。

【0130】 実施の形態10：図31はこの発明の実施の形態10にかかる信号レベル変換機能付半導体集積回路装置の入出力回路の構成を示す回路図である。ここで示された回路は、実施の形態4において示された回路のバッファ回路8aをバッファ回路8bに置換した構成を有している。従って、実施の形態10においても実施の形態4と同様の効果が得られる。

【0131】 図32は図15に示された変形と同一の思想による変形をこの実施の形態についても施した構成を示している。

【0132】 によって、実施の形態10の変形においても実施の形態4の変形と同様の効果が得られる。

【0133】 実施の形態11：図33はこの発明の実施の形態11にかかる信号レベル変換機能付半導体集積回路装置の入出力回路の構成を示す回路図である。ここで示された回路は、実施の形態5において示された回路のバッファ回路8aをバッファ回路8bに置換した構成を有している。従って、実施の形態11においても実施の形態5と同様の効果が得られる。

【0134】 図34は図15に示された変形と同一の思想による変形をこの実施の形態についても施した構成を示している。

【0135】 によって、実施の形態11の変形においても実施の形態4の変形と同様の効果が得られる。

【0136】 実施の形態12：図35はこの発明の実施の形態12にかかる信号レベル変換機能付半導体集積回路装置の入出力回路の構成を示す回路図である。ここで示された回路は、実施の形態6において示された回路のバッファ回路8aをバッファ回路8bに置換した構成を有している。従って、実施の形態12においても実施の形態6と同様の効果が得られる。

【0137】 図36は図15に示された変形と同一の思想による変形をこの実施の形態についても施した構成を示している。

【0138】 によって、実施の形態12の変形においても実施の形態4の変形と同様の効果が得られる。

【0139】 実施の形態13：図37はこの発明の実施の形態13にかかる出力バッファ回路の構成を示す断面図であり、図46及び第1乃至実施の形態6に共通して記載されたNMOSプッシュプルバッファを構成するNMOSTランジスタQ9a、Q10の構造が示されている。

【0140】 第1電源電位VDD1にバイアスされたn型半導体基板上にp-ウエルが一对形成され、これらのそれぞれにおいてNMOSTランジスタQ9a、Q10が形成されている。いずれのp-ウエルにも、ソースS及びドレインDとなる一对のn+領域と、p-ウエルのウエル電位を決定するウエル電極Wとなるp+領域とが設けられている。

【0141】 NMOSTランジスタQ9aのソースSは入出力端子1に、ゲート電極Gは接続点N17に、ドレインDは電源電位点4に、それぞれ接続されている。そして金属配線24でウエル電極Wと入出力端子1とを接続している。NMOSTランジスタQ10のソースS及びウエル電極Wは共通して接地電位点5に、ゲート電極Gは接続点N26に、ドレインDは入出力端子1に、それぞれ接続されている。

【0142】 この様に構成されたNMOSTランジスタQ9a、Q10を用いた構成においては、トランジスタQ9aのウエル電位が入出力端子1と同電位に保たれるので、ソースSとp-ウエルとの間にバイアスがかけられない。よって、“H”レベルを入出力端子1に出力する場合には、バイアスがかけられないために入出力端子における電位は(VDD2-V<sub>TN</sub>) (V)になり、従来より“H”レベルの出力電位を高くすることができる。したがって相補的な論理レベル“H”，“L”に対応する電位の差を広げることができる。

【0143】 実施の形態14：図38はこの発明の実施の形態14にかかる出力バッファ回路の構成を示す断面図であり、図37に示された実施の形態13の構造に対して、金属配線24をダイオード25に置換した構成を有している。ダイオード25のアノードはNMOSTラ

ンジスタQ9aのウエル電極Wに、カソードは入出力端子1に、それぞれ接続されている。

【0144】実施の形態13のようにNMOSトランジスタQ9aのウエル電極Wと入出力端子1とを金属配線24で接続した場合には、入出力端子1にn型半導体基板の電位以上の信号が出力された場合、NMOSトランジスタQ9aのp-ウエルとn型半導体基板との間の寄生のpn接合が順バイアスされてしまう。そのため、例えばn型半導体基板が第1電源電位VDD1にバイアスされている状態で、入出力端子1がほぼ第2電源電位VDD2である“H”レベルを出力するような場合には、入出力端子1から金属配線24、ウエル電極W、p-ウエル、n型半導体基板をこの順に經由して、第1電源電位VDD1を与える電源へ向かって不要な電流が流れ込んでしまう。

【0145】このような電流は、入出力端子1へとバッファ回路8aが出力信号を与える場合のみならず、入出力端子1へと外部デバイスからの信号が入力された場合にも起こり得る。つまり外部デバイスから入出力端子1へ与えられた信号の電位が、n型半導体基板の電位より高ければ、pn接合が順バイアスされ、入出力端子1からn型半導体基板に不所望の電流が流れてしまう。

【0146】しかし、この実施の形態14によればダイオード25を、その順方向が寄生のpn接合の逆方向に向くように接続するので、上記不要な電流を阻止することができる。

【0147】実施の形態15：図39はこの発明の実施の形態15の構成を示す概念図であり、実施の形態14において示されたダイオード25を示している。n形ポリシリコン層30とp形ポリシリコン層31はpn接合を形成し、端子32、33はそれぞれn形ポリシリコン層30及びp形ポリシリコン層31に接続されて、それぞれダイオード25のカソード及びアノードとして機能する。

【0148】本実施の形態は、実施の形態14に記載されたダイオード25の形成方法の一例を示したものであり、n形ポリシリコン層30とp形ポリシリコン層31は、図38に示されたn型半導体基板とは別に、例えば上方に形成されることが望ましい。n型半導体基板中にダイオード25を形成すると、不要な順バイアス条件で不所望の電流パスが形成される恐れがあるからである。

【0149】実施の形態16：図40はこの発明の実施の形態16にかかる出力バッファ回路の構成を示す断面図であり、図16に示された実施の形態14の構造に対して、ダイオード25をツェナーダイオード26に置換した構成を有している。ツェナーダイオード26のアノードはNMOSトランジスタQ9aのウエル電極Wに、カソードは入出力端子1に、それぞれ接続されている。

【0150】本実施の形態のようにツェナーダイオード26を用いても、その順方向が寄生のpn接合の逆方向

に向くように接続されるので、不要な電流を阻止することができる。

【0151】実施の形態17：図41はこの発明の実施の形態17にかかる出力バッファ回路の構成を示す断面図であり、図38に示された実施の形態14の構造に対して、ダイオード25を抵抗27に置換した構成を有している。即ち、NMOSトランジスタQ9aのウエル電極W及び入出力端子1は互いに抵抗27によって接続されている。

【0152】入出力端子1における信号の電位がn型半導体基板の電位より高い場合に、寄生のpn接合が順バイアスされて流れる不要な電流は、その大きさが抵抗27によって抑制される。

【0153】実施の形態18：図42はこの発明の実施の形態18にかかる出力バッファ回路の構成を示す断面図であり、図41に示された実施の形態17の構造に対して、抵抗27を可変抵抗器28に置換した構成を有している。NMOSトランジスタQ9aの入出力端子1からウエル電極Wに流れる電流量を可変抵抗器28が抑制するので、図37で入出力端子1から金属配線24、ウエル電極W、p-ウエル、n型半導体基板をこの順に經由して流れる不要な電流を抑制することができる。

【0154】実施の形態19：図43はこの発明の実施の形態19にかかる出力バッファ回路の構成を示す回路図である。従来の技術を示す図44に対して、制御端付きの可変抵抗器29を付加した構成を有している。但し信号レベル変換回路7の後半部よりも内部回路側の部分については適宜省略している。

【0155】可変抵抗器29は、その制御端に与えられる電位によって抵抗値が制御される。可変抵抗器29はNMOSトランジスタQ9aのバックゲート（第13乃至実施の形態18のp-ウエルに相当する）と入出力端子1との間に接続される。また、可変抵抗器29の制御端には接続点N11に接続されている。

【0156】可変抵抗器29の抵抗値は、その制御端に与えられた電位によって制御されて可変である。よって、“H”レベルの論理に対応する電位が与えられた場合に低い抵抗値を、“L”レベルの論理に対応する電位が与えられた場合に高い抵抗値を、それぞれ採るように設定すれば、NMOSトランジスタQ9aがオンするときにはバックゲートとソースとの間にバイアスが掛からないようにして入出力端子1に対して与える“H”レベルの電位を低下させないことができると共に、NMOSトランジスタQ9aがオフするときにはp-ウエルとn型半導体基板の成す寄生のpn接合を流れる電流を抑制することができる。

【0157】即ち、入出力回路が入力状態のときは高抵抗値となるようにし、出力状態のときは可変抵抗器29の抵抗値を所望値まで下げて出力には影響を与えないことが可能となる。

【0158】勿論、可変抵抗器29の制御端は接続点N11ではなく、これと同論理を与える箇所、例えば接続点N13、N15、N17やインバータゲートG7の入力端に接続することもできる。

【0159】

【作用】この発明のうち請求項1にかかる出力バッファ回路において、貫通検出手段は、第1及び第2の導通制御素子のいずれもが導通するような論理が与えられたことを検出し、貫通検出信号を活性化させる。強制論理付与手段は貫通検出信号の活性化に基づいて、第1及び第2の導通制御素子の制御端に所定の論理を強制的に付与し、第1及び第2の導通制御素子のいずれか少なくとも一方を非導通させる。

【0160】この発明のうち請求項2にかかる出力バッファ回路において、条件追加手段は、第1及び第2の導通制御素子のいずれもが導通するような論理が所定時間継続することを追加条件として、強制論理付与手段の機能を発揮させる。

【0161】この発明のうち請求項3にかかる出力バッファ回路において、第1のMOSトランジスタのウエル電極が出力端子に接続されるので、第1のMOSトランジスタがONした場合であっても第1のMOSトランジスタのウエルとソースの間にはバイアスがかからない。よって、第1のMOSトランジスタのウエル電極が第2の電位に接続された場合のような、第1のMOSトランジスタのしきい値電圧が上昇するという現象は生じない。

【0162】この発明のうち請求項4にかかる出力バッファ回路において、第1の電位よりも前記第2の電位に近い第3の電位を印加することにより基板にバイアスを掛ける場合がある。かかる状況において、第1のMOSトランジスタがONすること等により出力端子に第1の電位近傍の電位が印加される場合もある。この際に、第1のウエルと基板の間に流れる電流は電流制限素子によって制限される。

【0163】この発明のうち請求項5にかかる出力バッファ回路においては、電流制限素子は場合に応じて第1のウエルと出力端子との間の抵抗値を高めることができる。

【0164】

【発明の効果】この発明のうち請求項1にかかる出力バッファ回路によれば、第1及び第2の導通制御素子の間に貫通電流が流れることを阻止できる。

【0165】この発明のうち請求項2にかかる出力バッファ回路によれば、スイッチングの際の過渡的な遅延によって強制論理付与手段の機能が発揮されることを防止できる。

【0166】この発明のうち請求項3にかかる出力バッファ回路によれば、第1のMOSトランジスタがONする事により出力端子に与えられる電位が第1の電位へと

より近づき、出力端子における電位のレベル差を大きくすることができる。

【0167】この発明のうち請求項4にかかる出力バッファ回路によれば、不要な電流を抑制することができる。

【0168】この発明のうち請求項5にかかる出力バッファ回路によれば、出力端子に第1の電位点及び第2の電位点のいずれをも接続する必要がない場合には出力端子をハイインピーダンス状態に保つことができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1の構成を示す回路図である。

【図2】 この発明の実施の形態1の動作を示すタイミングチャートである。

【図3】 この発明の実施の形態1の動作を示すタイミングチャートである。

【図4】 この発明の実施の形態1の変形の構成を示す回路図である。

【図5】 この発明の実施の形態1の変形の構成を示す回路図である。

【図6】 この発明の実施の形態1の変形の構成を示す回路図である。

【図7】 この発明の実施の形態2の構成を示す回路図である。

【図8】 この発明の実施の形態2の変形の構成を示す回路図である。

【図9】 この発明の実施の形態2の変形の構成を示す回路図である。

【図10】 この発明の実施の形態2の変形の構成を示す回路図である。

【図11】 この発明の実施の形態3の構成を示す回路図である。

【図12】 この発明の実施の形態3の変形の構成を示す回路図である。

【図13】 この発明の実施の形態3の変形の構成を示す回路図である。

【図14】 この発明の実施の形態4の構成を示す回路図である。

【図15】 この発明の実施の形態4の変形の構成を示す回路図である。

【図16】 この発明の実施の形態5の構成を示す回路図である。

【図17】 この発明の実施の形態5の変形の構成を示す回路図である。

【図18】 この発明の実施の形態6の構成を示す回路図である。

【図19】 この発明の実施の形態6の変形の構成を示す回路図である。

【図20】 この発明の実施の形態7の構成を示す回路図である。



【図21】 この発明の実施の形態7の変形の構成を示す回路図である。

【図22】 この発明の実施の形態7の変形の構成を示す回路図である。

【図23】 この発明の実施の形態7の変形の構成を示す回路図である。

【図24】 この発明の実施の形態8の構成を示す回路図である。

【図25】 この発明の実施の形態8の変形の構成を示す回路図である。

【図26】 この発明の実施の形態8の変形の構成を示す回路図である。

【図27】 この発明の実施の形態8の変形の構成を示す回路図である。

【図28】 この発明の実施の形態9の構成を示す回路図である。

【図29】 この発明の実施の形態9の変形の構成を示す回路図である。

【図30】 この発明の実施の形態9の変形の構成を示す回路図である。

【図31】 この発明の実施の形態10の構成を示す回路図である。

【図32】 この発明の実施の形態10の変形の構成を示す回路図である。

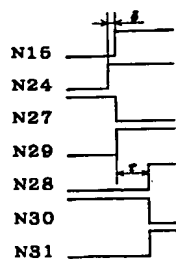
【図33】 この発明の実施の形態11の構成を示す回路図である。

【図34】 この発明の実施の形態11の変形の構成を示す回路図である。

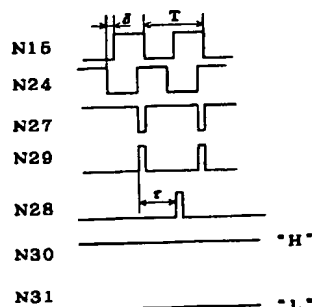
【図35】 この発明の実施の形態12の構成を示す回路図である。

【図36】 この発明の実施の形態12の変形の構成を示す回路図である。

【図2】



【図3】



示す回路図である。

【図37】 この発明の実施の形態13の構成を示す断面図である。

【図38】 この発明の実施の形態14の構成を示す断面図である。

【図39】 この発明の実施の形態15の構成を示す概念図である。

【図40】 この発明の実施の形態16の構成を示す断面図である。

10 【図41】 この発明の実施の形態17の構成を示す断面図である。

【図42】 この発明の実施の形態18の構成を示す断面図である。

【図43】 この発明の実施の形態19の構成を示す回路図である。

【図44】 従来技術の構成の一例を示す回路図である。

【図45】 従来技術の構成の他の例を示す回路図である。

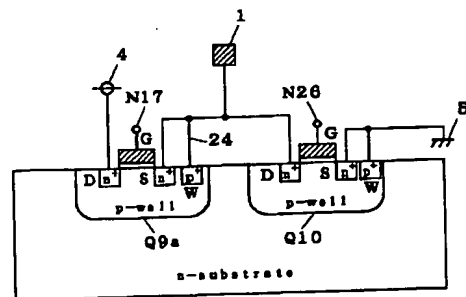
20 【図46】 従来技術の構成を示す断面図である。

【図47】 従来技術の構成を示す断面図である。

【符号の説明】

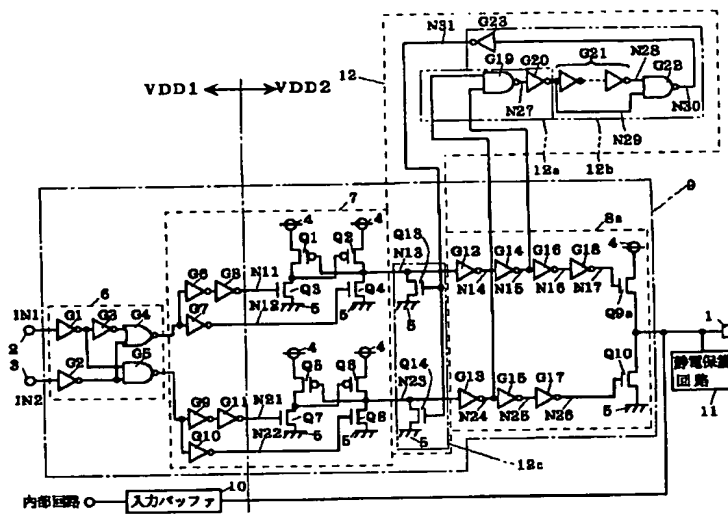
1 入出力端子、4 電源電位点、5 接地電位点、8 a、8 b バッファ回路、Q9 a、Q10 NMOSトランジスタ、Q9 b PMOSトランジスタ、12~17 リセット回路、12 a~17 a 貫通検出部、12 b~17 b 条件追加部、12 c~17 c、12 d~17 d、12 e~14 e 強制論理付与部、25 ダイオード、26 ツェナーダイオード、27 抵抗、28、29 可変抵抗器。

【図37】

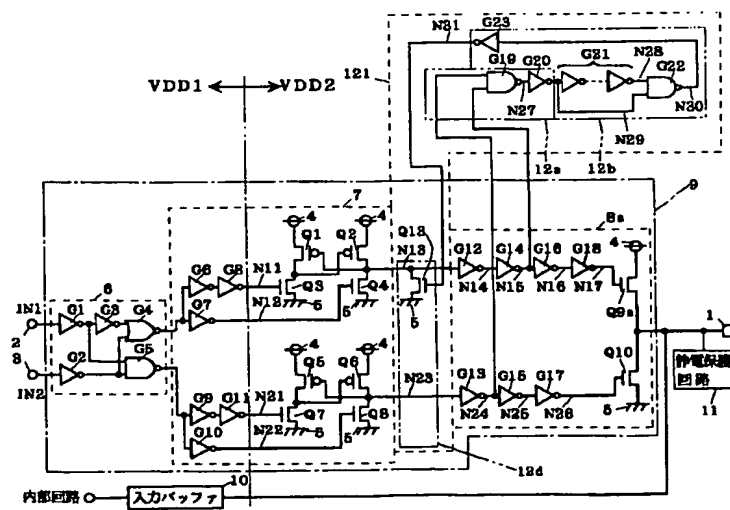




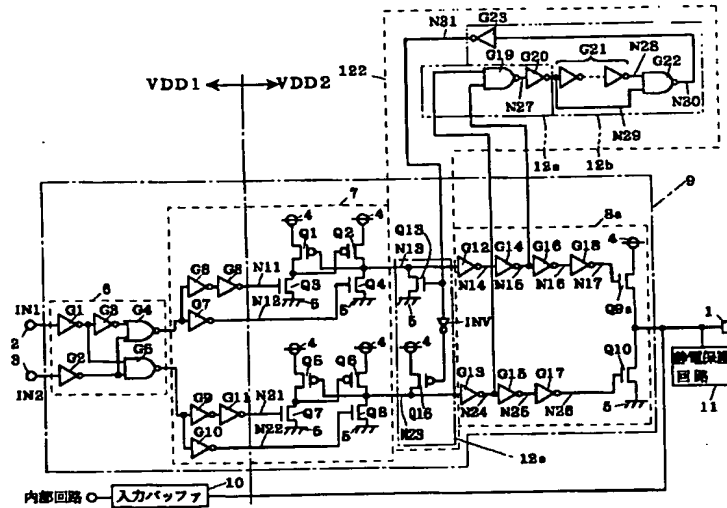
【図1】



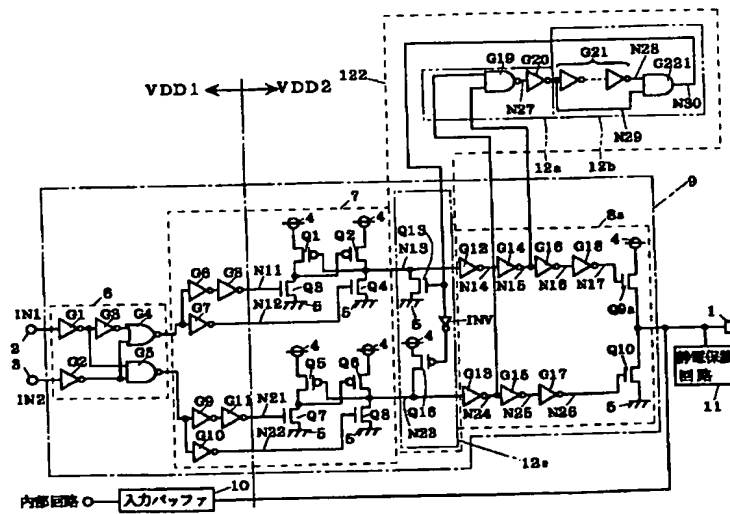
【図4】



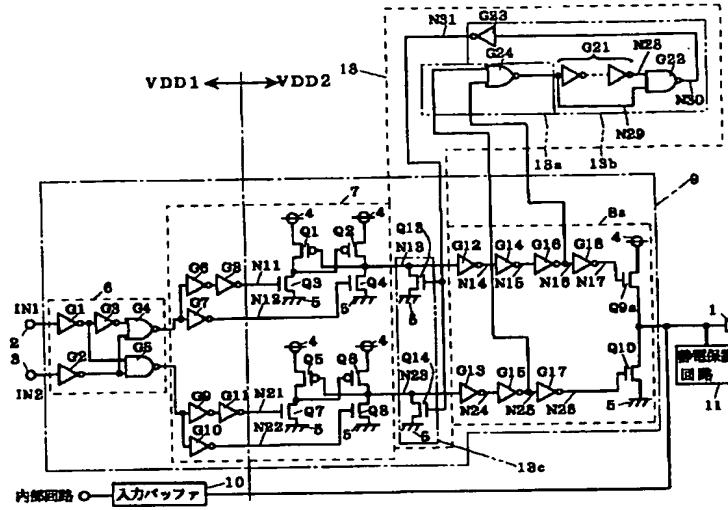
【図5】



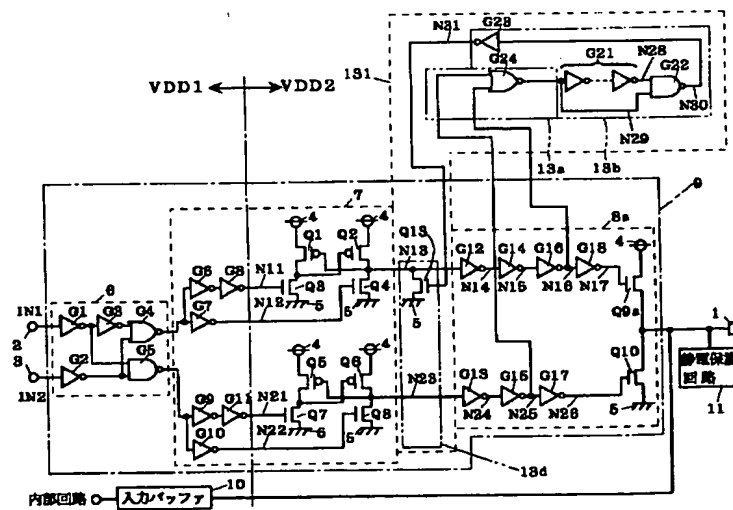
【図6】



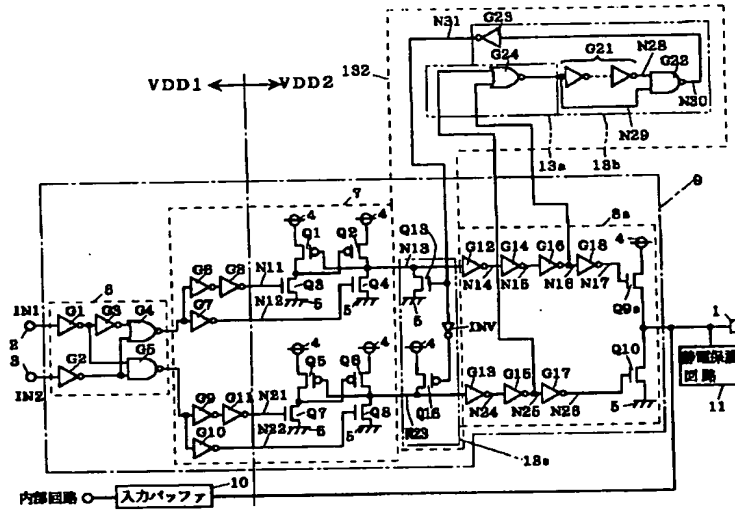
【図7】



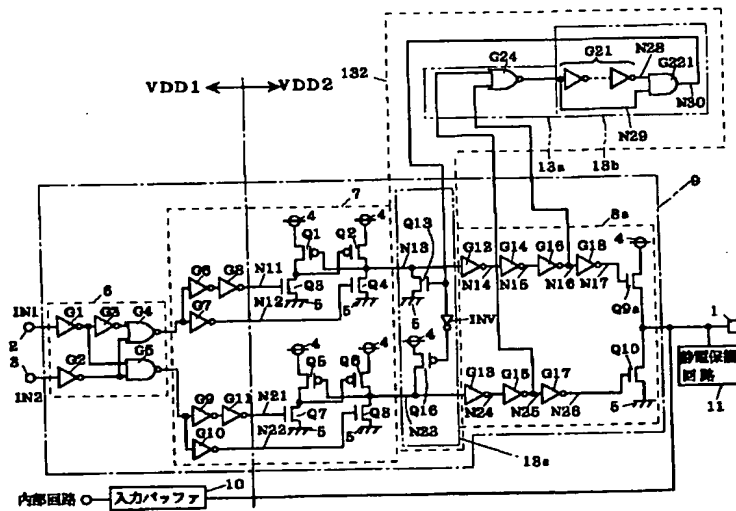
【図8】



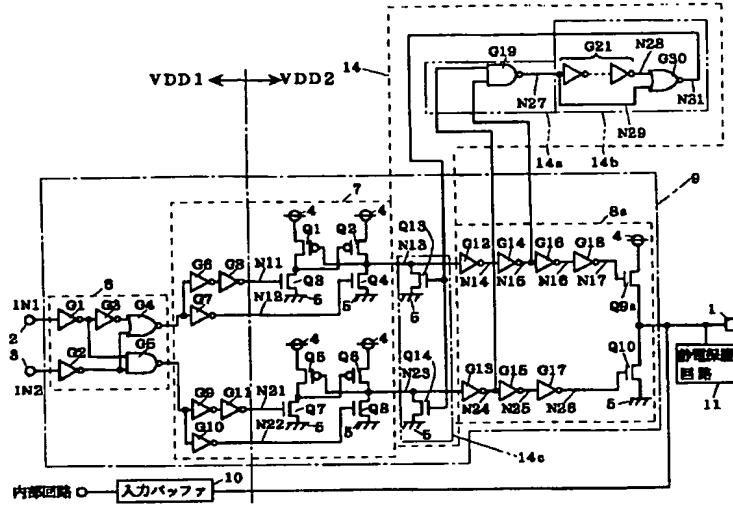
【図9】



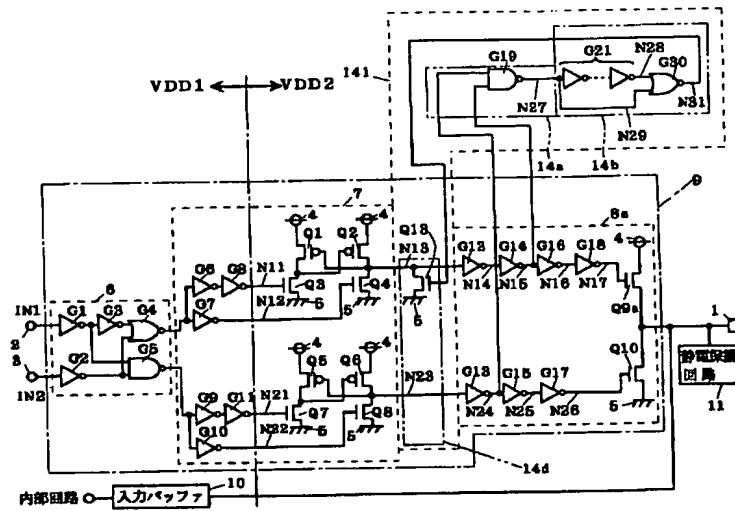
【図10】



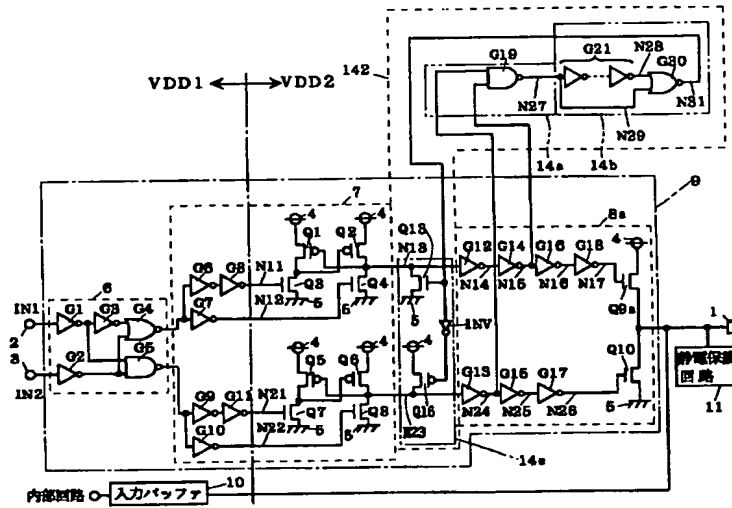
【図11】



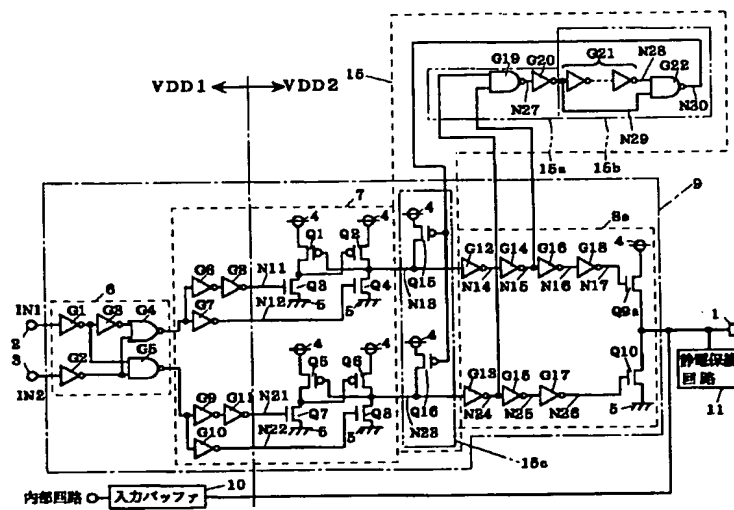
【図12】



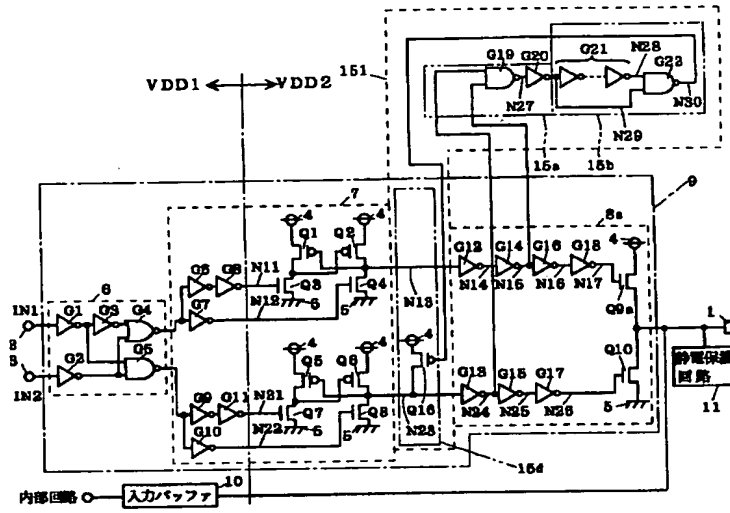
【図13】



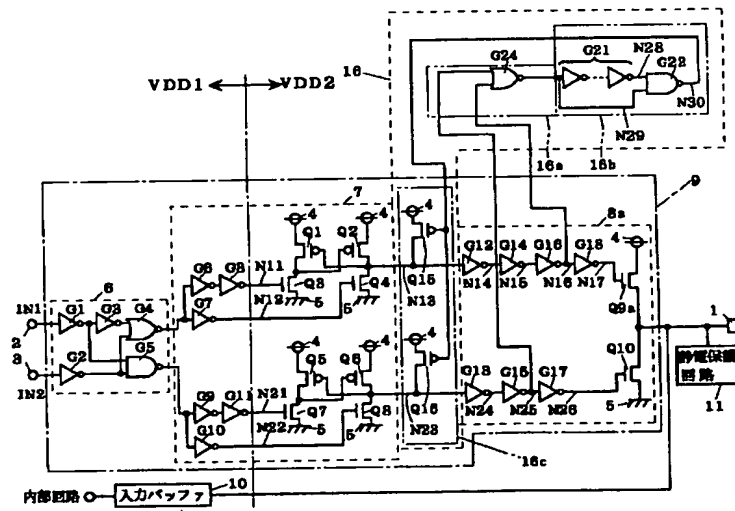
【図14】



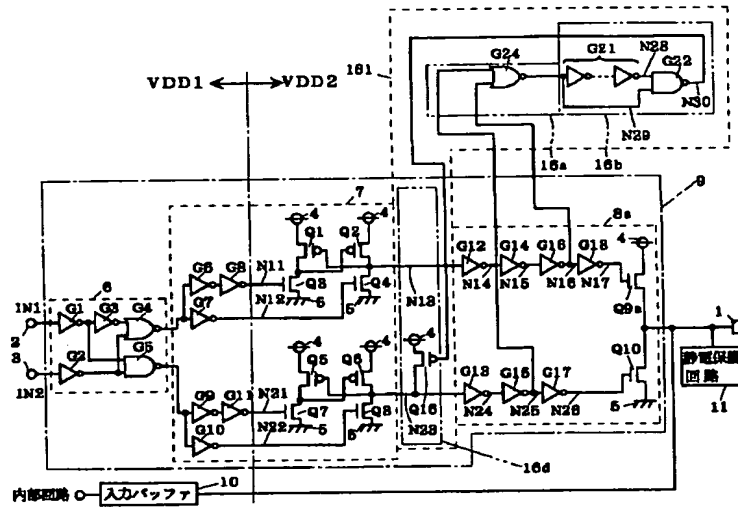
【図15】



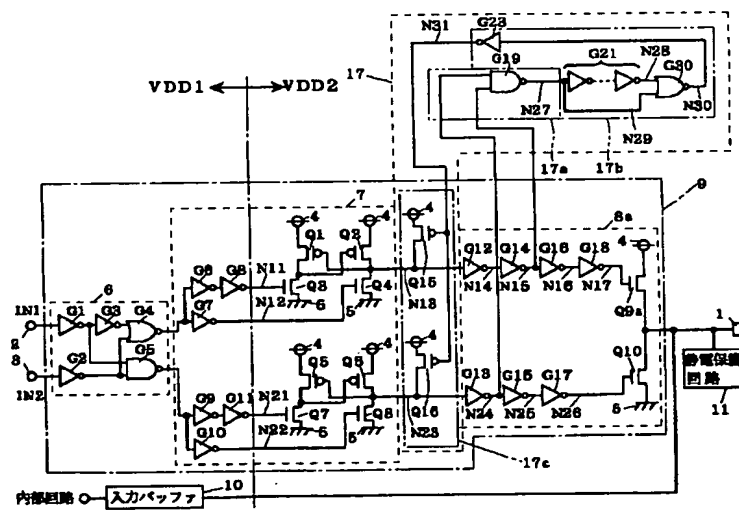
【図16】



【图 17】

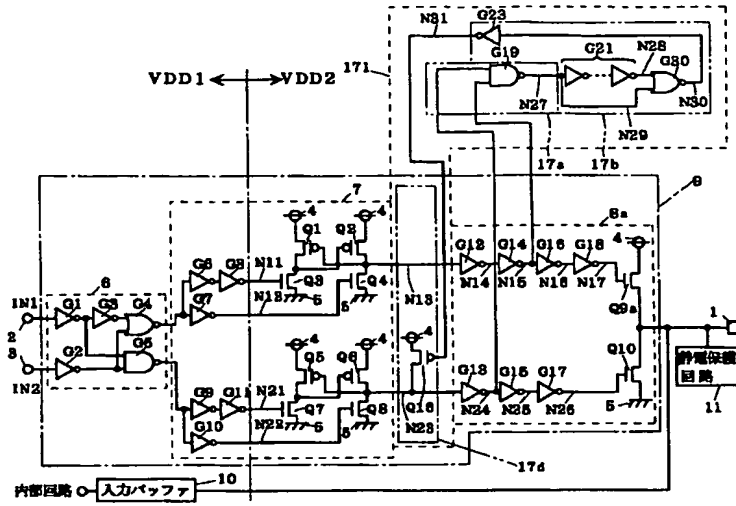


【图 18】

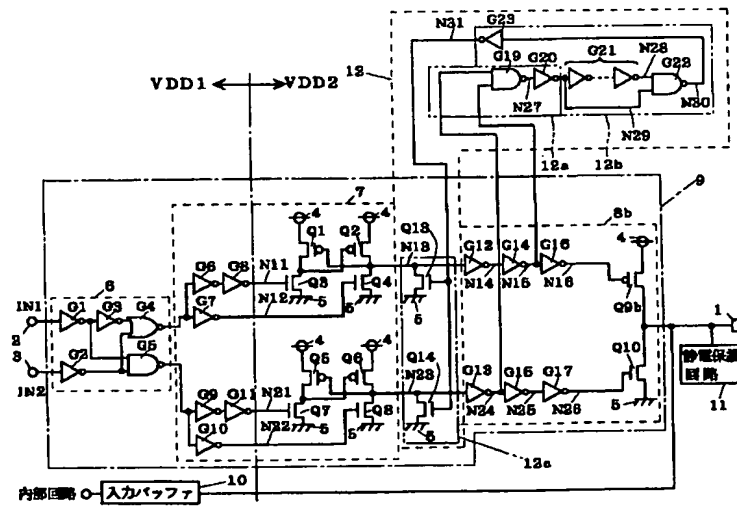




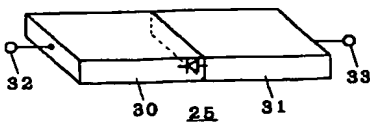
【図19】



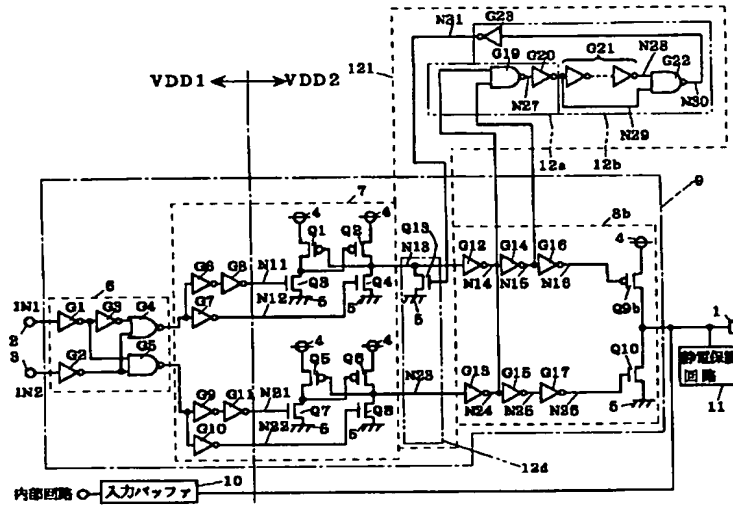
【図20】



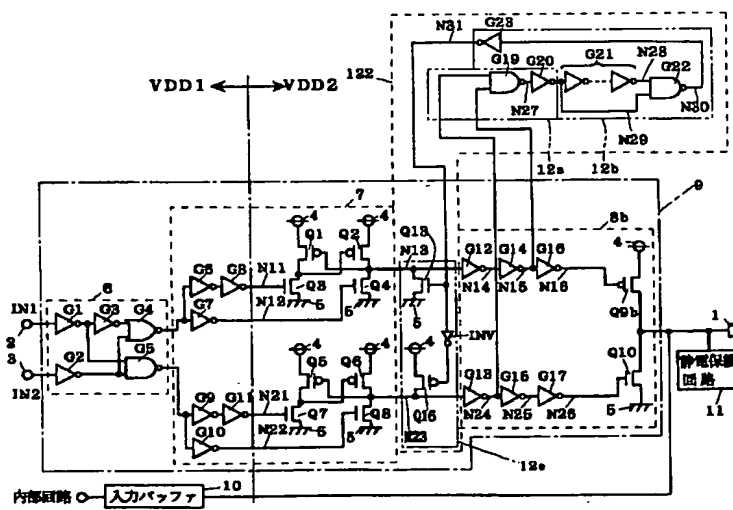
【図39】



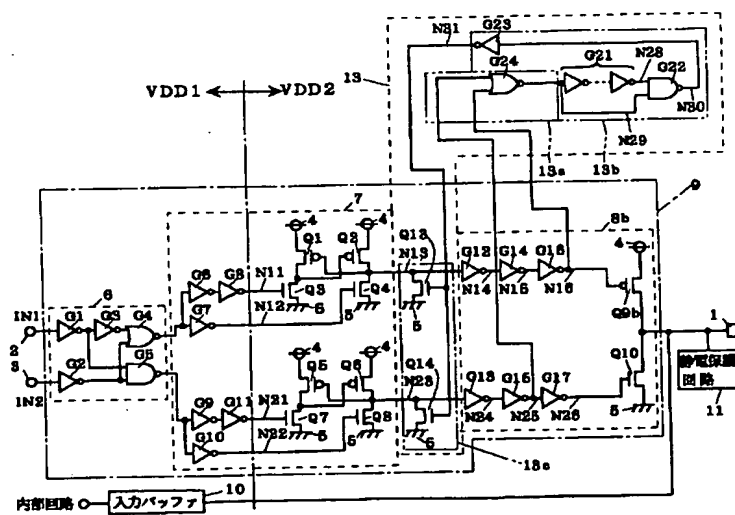
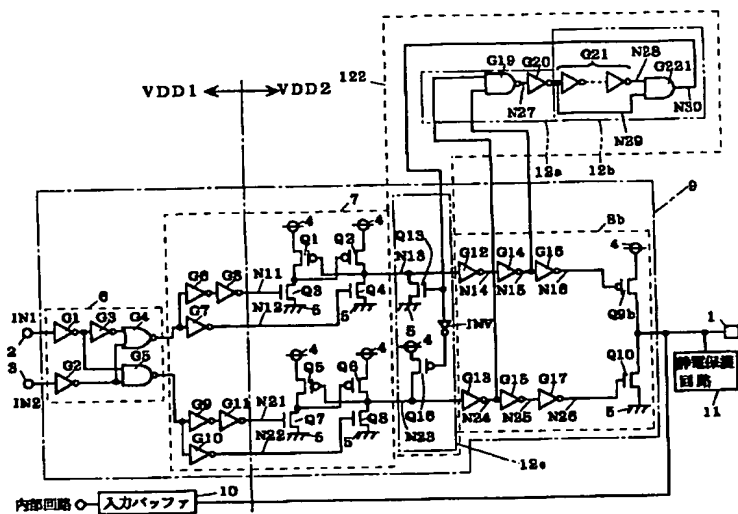
【図21】



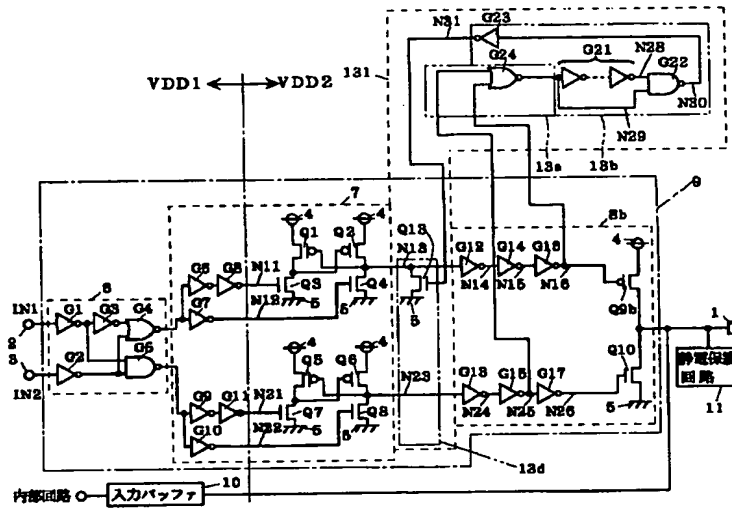
【図22】



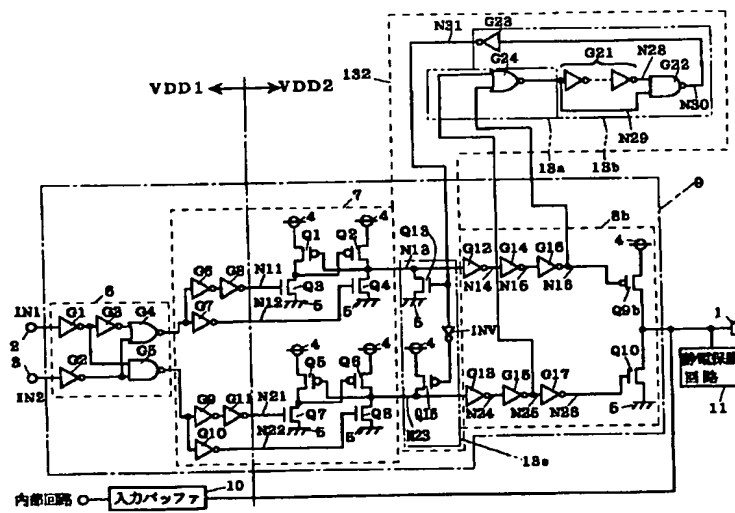
【图 2 4】



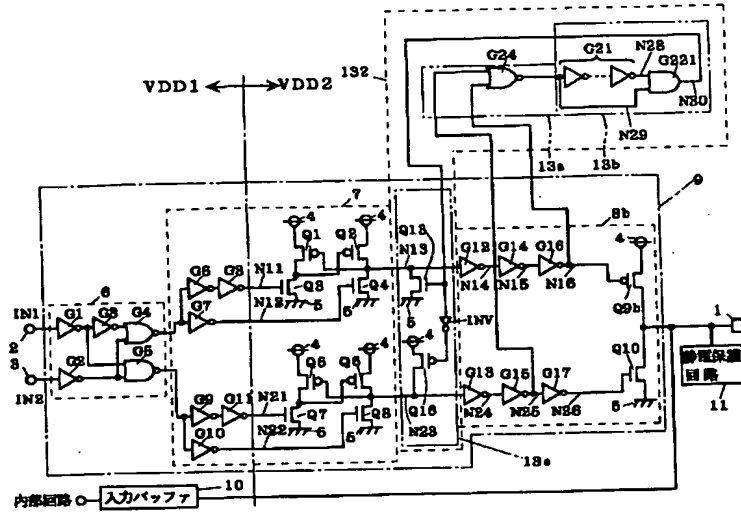
【図25】



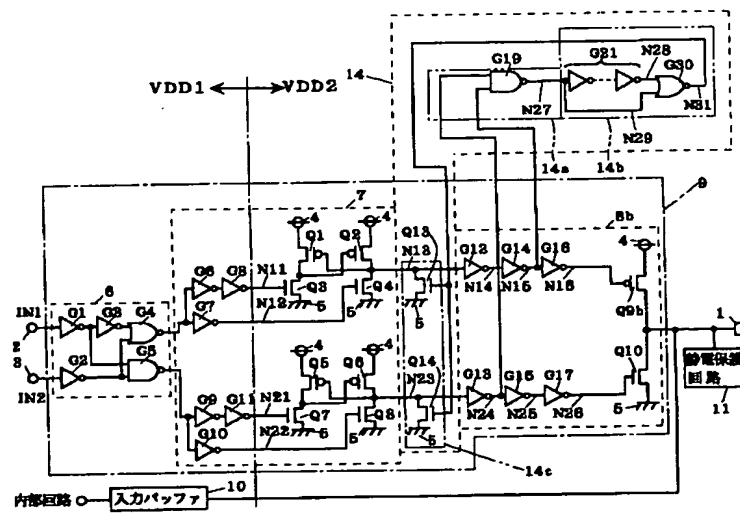
【図26】



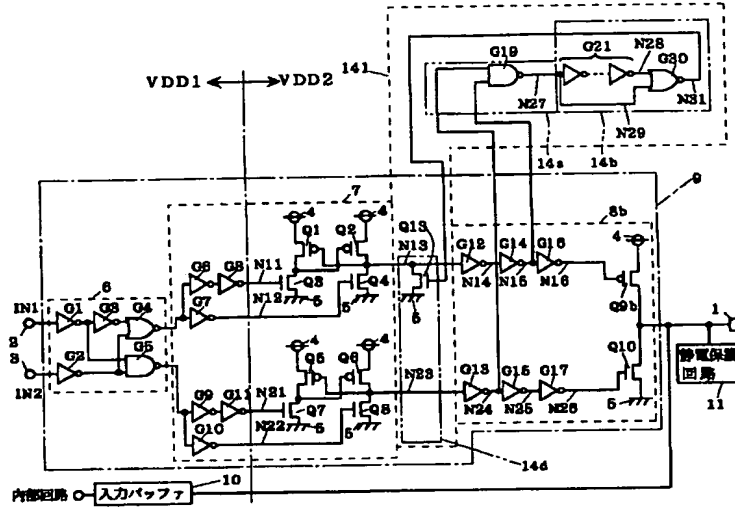
【図 2 7】



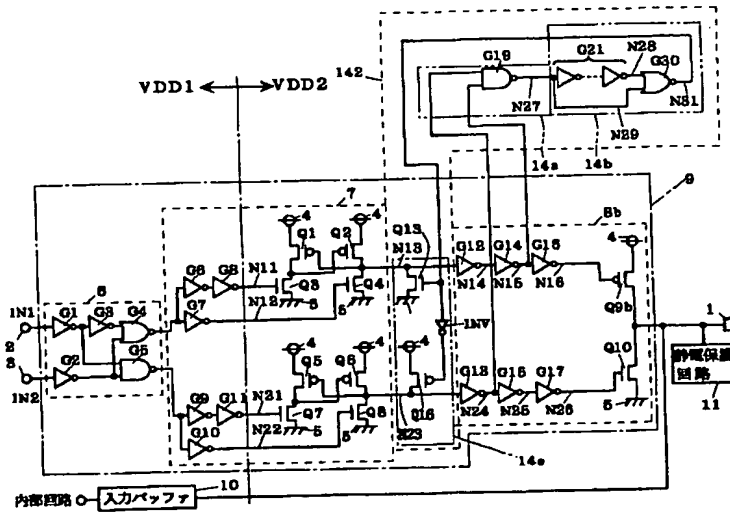
【图 28】



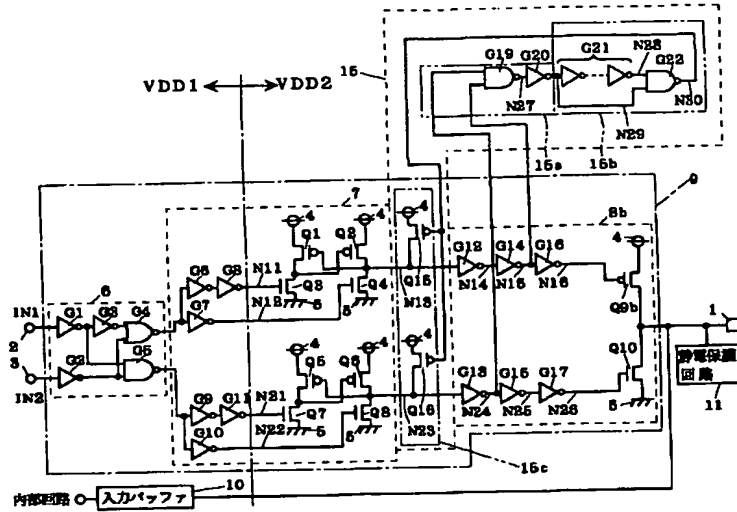
【図29】



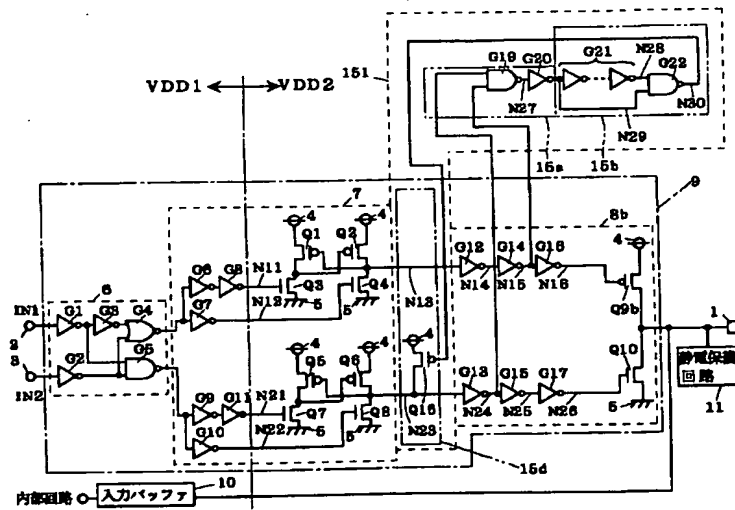
【図30】



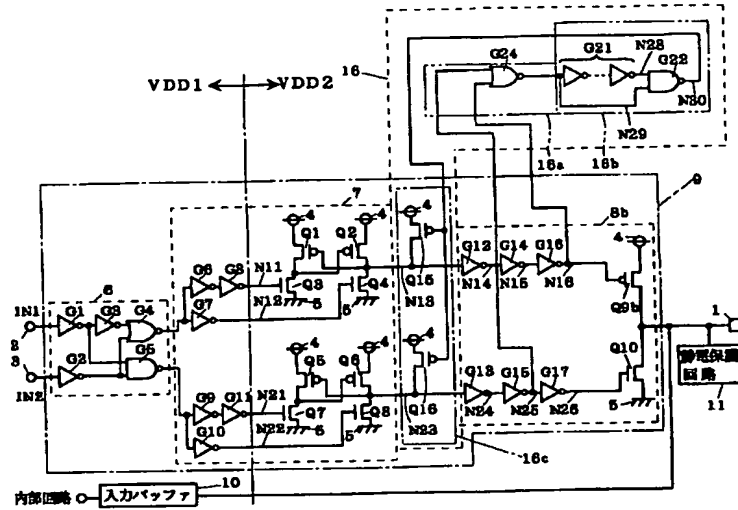
【図31】



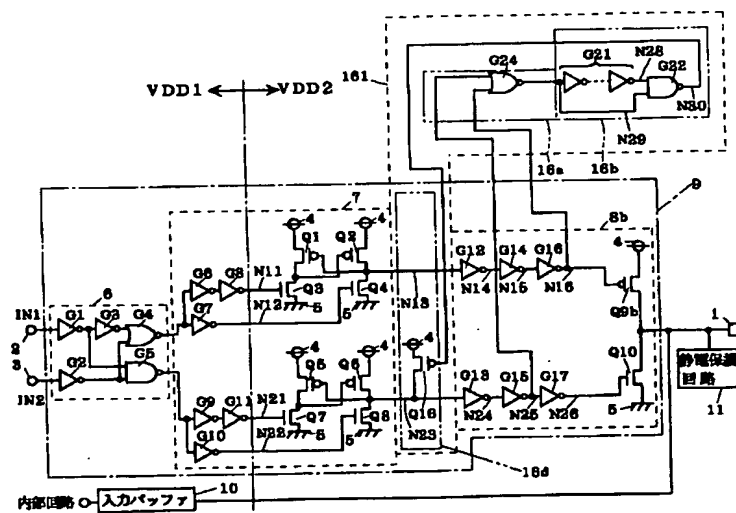
【図32】



【図33】

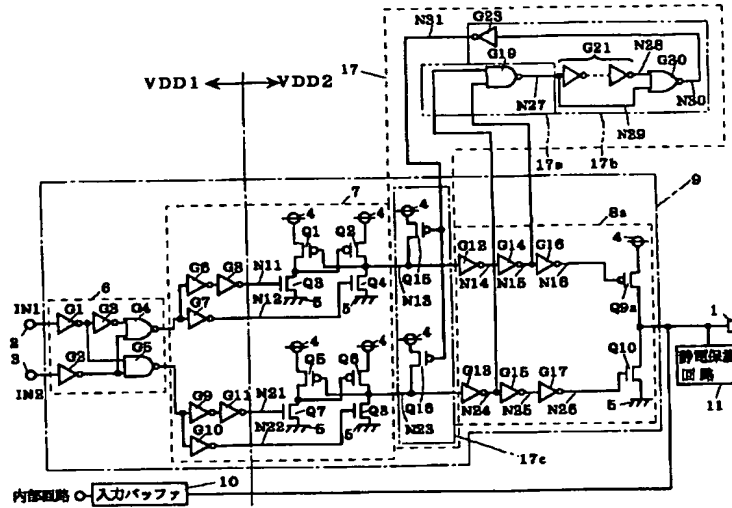


【図34】

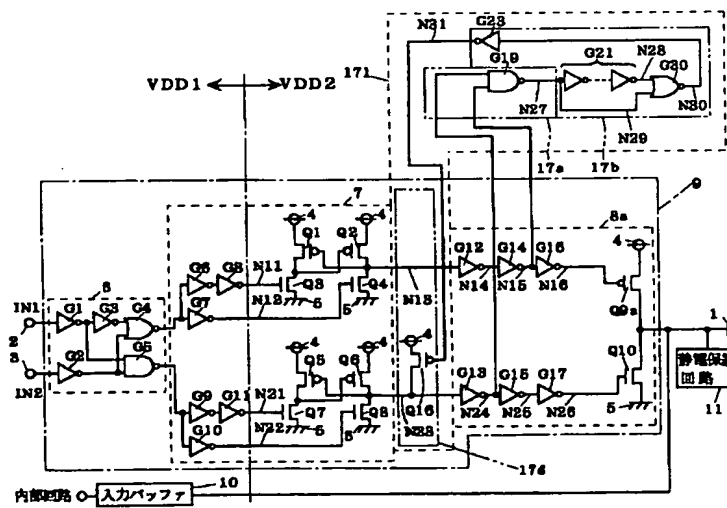




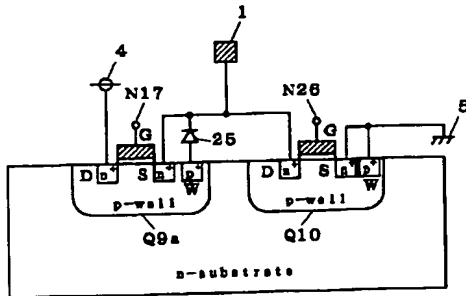
【図35】



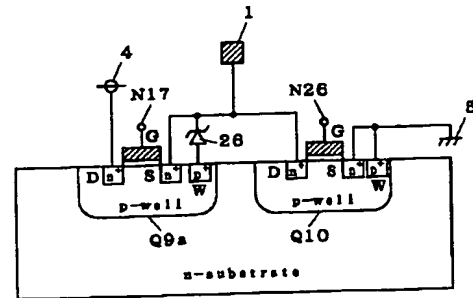
【図36】



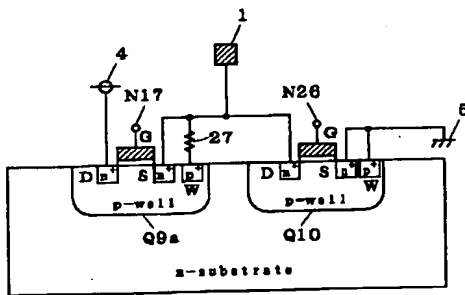
【図38】



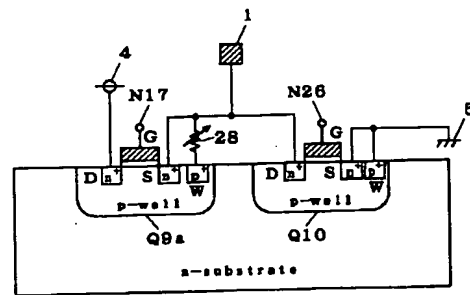
【図40】



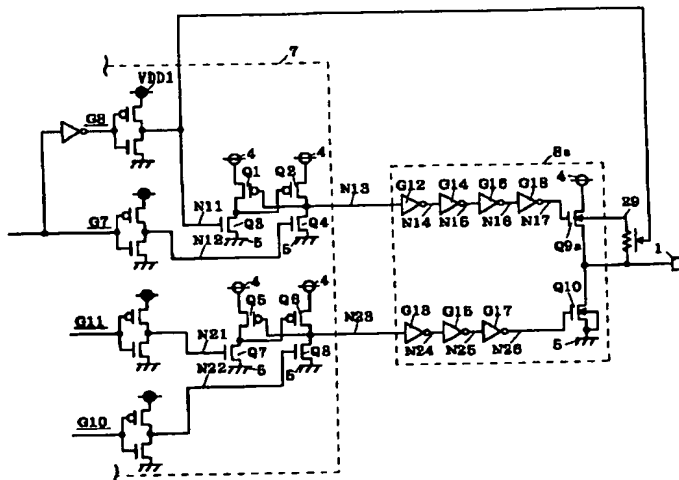
【図41】



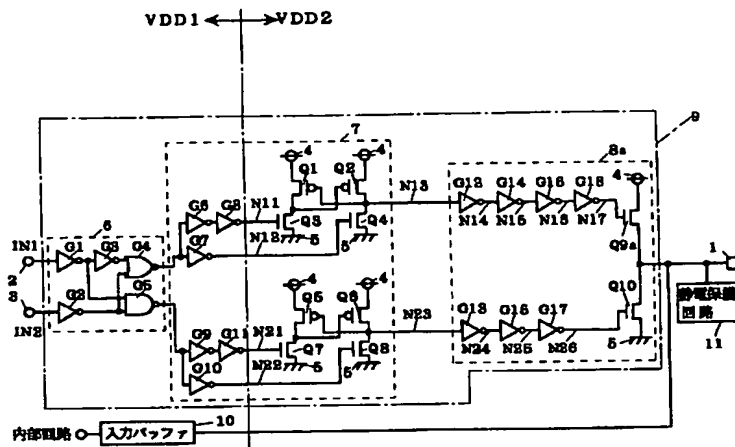
【図42】



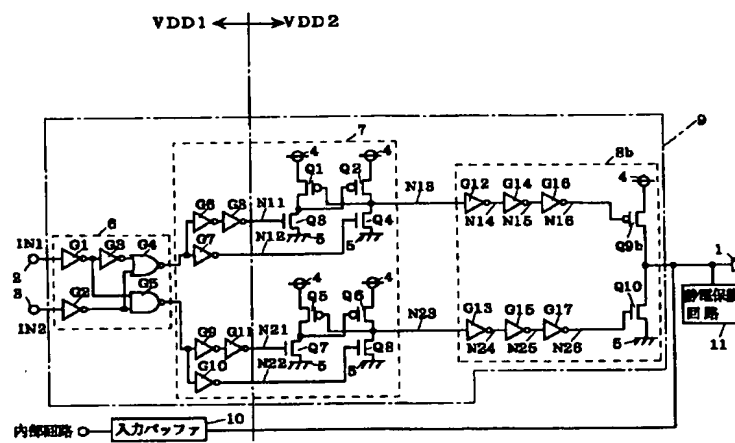
【図43】



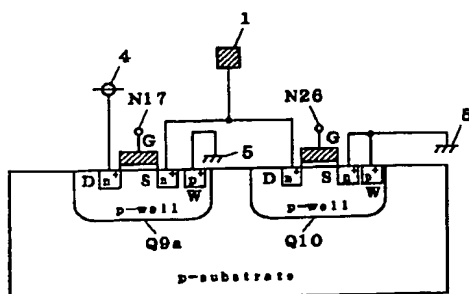
【図44】



【図45】



【図46】



【図47】

